Inhalt

MCS karte MCS Beta 8 systeme

- M622 Schalter
- M628 IO-Karte
- M-628 sockel_SB
- M639 Floppyinterface 10Mai1978
- M660 SBC6502 un Anschluss
- M677 FloppyController 7Jun1978
- M687 AD-Wandler
- M688 DA-Wandler
- M705 32k_DRAM
- M764 IO-Karte-6522 Jan1981

M622 Schalter

Schalterzuordnung

Bezeichnung : Adressauswahl CPU-Karte M622

Basisadresse für I/O-Karte

Auswahlschalter 1	2	3	4	5	6	7	8	Bereich	Hexadez.	Dezimal
X	X	X	X	X	X			0-0.999K	0000-03FF	0-1023
	X	X	X	X	X			1-1.999K	0400-07FF	1024-2047
X		X	X	X	X	belegt		2-2.999K	0800-0BFF	2048-3071
X	X		X	X	X	nicht	belegt	4-4.999K	1000-13FF	4096-5119
X	X	X		X	X			8-8.999K	2000-23FF	8192-9215
X	X	X	X		X			16-16.999K	4000-43FF	16384-17407
X	X	X	X	X				32-32.999K	8000-83FF	32768-33791

Änderung vorbehalten

X=ON

Die Zwischenwerte ergeben sich durch binäre Kombination der Schalter

FB 017/02-1

M628 IO-Karte

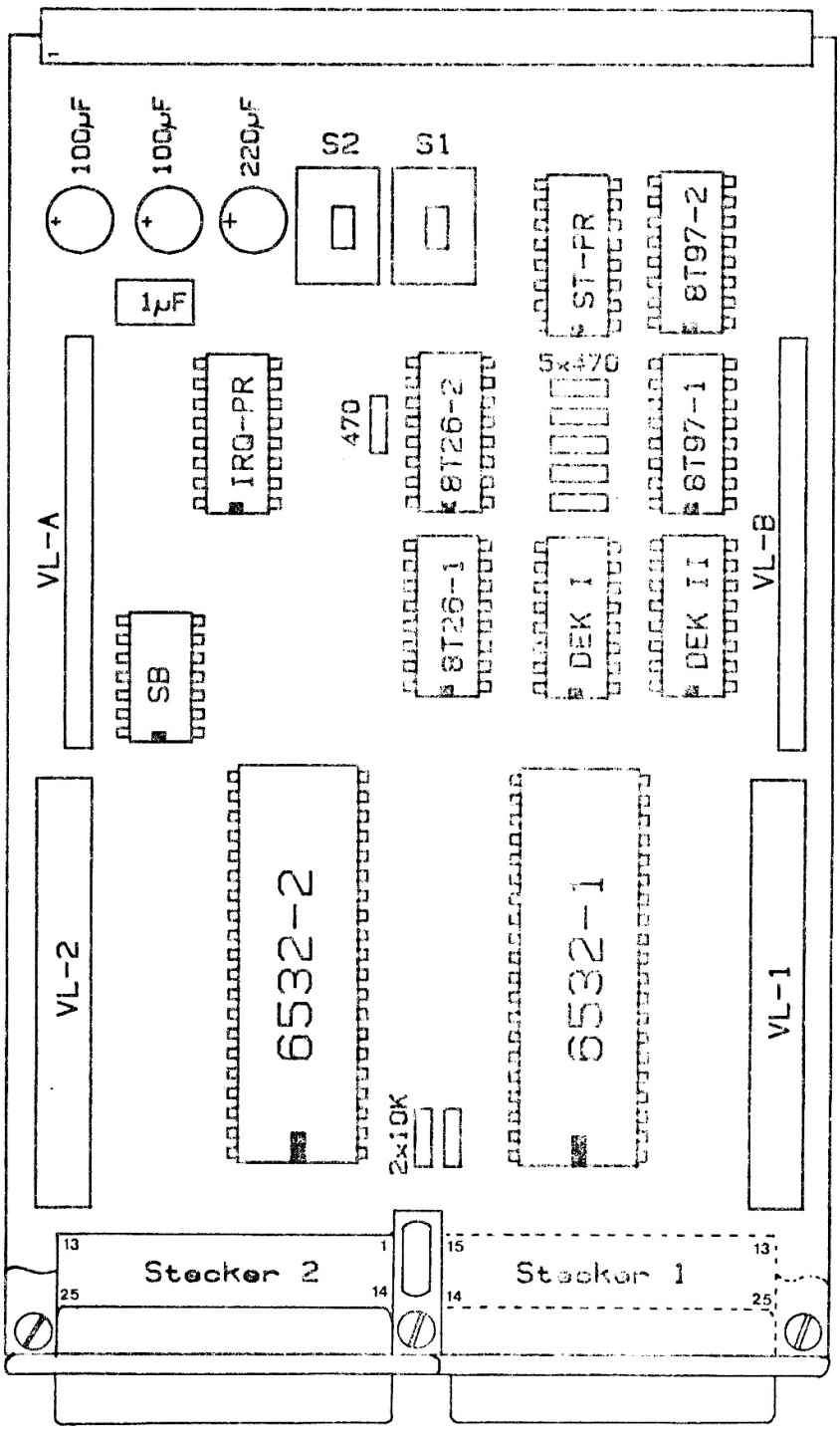
BASISADRESSEN für ein I/O-Karte

Die angegebenen Adressen werden jeweils hexadezimal zur ersten Adresse des angegebenen Adressbereichs der I/O-Karte addiert.

P I A - B e r e i c h			P I A 1	P I A 2	R/W
RAM			\$ 100 - \$ 17F	\$ 180 - \$ 1FF	R/W
PORTS	Datenregister	Port A	\$ 00	\$ 80	R/W
	Datenrichtg.-Reg.	Port A	\$ 01	\$ 81	R/W
	Datenregister	Port B	\$ 02	\$ 82	R/W
	Datenrichtg.-Reg.	Port B	\$ 03	\$ 83	R/W
TIMER		T1	\$ 14 (\$ 1C)	\$ 94 (\$ 9C)	W
Bei Benutzung der eingeklammerten Adresse wird bei Nulldurchgang der Timer ein Interrupt ausgelöst.		T8	\$ 15 (\$ 1D)	\$ 95 (\$ 9D)	W
		T64	\$ 16 (\$ 1E)	\$ 96 (\$ 9E)	W
		T1024	\$ 17 (\$ 1F)	\$ 97 (\$ 9F)	W
		Timer lesen	\$ 06	\$ 86	R
PA7 als Interrupteingang					
	disable,	neg. Flanke	\$ 04	\$ 84	W
	disable,	pos. Flanke	\$ 05	\$ 85	W
	enable,	neg. Flanke	\$ 06	\$ 86	W
	enable,	pos. Flanke	\$ 07	\$ 87	W
IRQ-Flags	lesen und löschen		\$ 05	\$ 85	R
	Bit 7 = Timer Flag				
	Bit 8 = PA7 - Flag				

M 628-1

Bestückungsplan : I/O-K. 6532



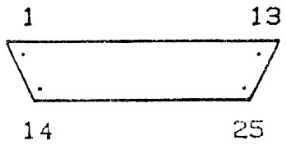
MCS	N: By	NR: 053	K:

DSub - Stecker/Buchse 25polig

Spez. Bez. I/O Karte M628 Stecker1

PIN	BELEGUNG	BEM.
1	VL-1 Pin1o	PAØ (6532-1)
2	2o	1
3	3o	2
4	4o	3
5	5o	4
6	6o	5
7	7o	6
8	8o	7
9	-12V oder NMI	
10	GND	
11	VL-1 Pin10o	PBØ
12	12o	1
13	14o	2
14	16o	3
15	15o	4
16	13o	5
17	11o	6
18	9o	7
19	+12V oder -12V	
20	Vcc	
21	VL-1 Pin17o	
22	18o	
23	19o	
24	20o	
25	$\overline{\text{Reset}}$	

Stecker - Sicht auf die Steckseite

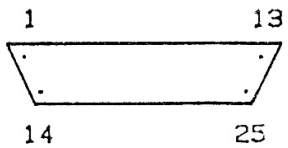


DSub - Stecker/Buchse 25polig

Spez. Bez. I/O Karte M628 Stecker 2

PIN	BELEGUNG	BEM.
1	VL-2 Pin1o	PAØ (6532-2)
2	2o	1
3	3o	2
4	4o	3
5	5o	4
6	6o	5
7	7o	6
8	8o	7
9	-12V oder NMI	
10	GND	
11	VL-2 Pin1Øo	PBØ
12	12o	1
13	14o	2
14	16o	3
15	15o	4
16	13o	5
17	11o	6
18	9o	7
19	+12V oder -12V	
20	Vcc	
21	VL-2 Pin17o	
22	18o	
23	19o	
24	2Øo	
25	$\overline{\text{Reset}}$	

Stecker - Sicht auf die Steckseite



M-628 sockel_SB

Belegung Sockel SB

(Beschreibung gilt für eingelegte Brücke)

1/14	RES auf Pin 25 DSub	
2/13	NMI auf Pin 9 DSub	alternativ
3/12	-12V auf Pin 9 DSub	
4/11	-12V auf Pin19 DSub	alternativ
5/10	+12V auf Pin19 DSub	
6/9	+5V auf Pin 20 DSub	
7/8	GND auf Pin 10 DSub	

I/O Karte M 628-1

639 Floppyinterface 10Mai1978

32x8 PROM

PROM-TYP	82S123	
INT. BEZ.	M 639-1 Dekoder 2	

ADRESSE

Nr.	A4	A3	A2	A1	A0	A_H	A_L
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F

$\overline{CSR}$	A10	$\overline{CS}$	R/$\overline{W}$	$\overline{\phi 2}$

AUSGANG

H	G	F	E	D	C	B	A	$\$_H$	$\$_L$
				X		X	X	F	4
				X		X		F	5
				X				F	7
				X		X		F	5
						X		F	C
						X		F	D
						X		F	D
						X		F	D
					X	X	X	F	8
					X	X		F	9
					X			F	B
					X	X		F	9
						X		F	D
						X		F	D
						X		F	D
						X		F	D
						X	X	F	C
						X		F	D
								F	F
						X		F	D
						X		F	D
						X		F	D
						X		F	D
						X		F	D
						X	X	F	C
						X		F	D
								F	F
						X		F	D
						X		F	D
						X		F	D
						X		F	D
						X		F	D

				$\overline{CS}$ 1.K	$\overline{CS}$ 2.K	Driv.EN	Rec. $\overline{EN}$

MCS	Ka/St	Dek. 2	X ≙ L

MCS FB 006/31

256 x 4 PROM

PROM-TYP	HD 1024	
INT. BEZ.	Dekoder1/1F	

ADRESSE

VON dez.	VON Hex.	BIS dez.	BIS Hex.
000	00	191	BF
192	C0	223	DF
224	E0	254	FE
255	FF		

AUSGANG

D	C	B	A	$L
				F
X		X		5
X	X			3
X			X	6

Sysc. | EPROM | RAM | Floppy

MCS	By	Dek1/1F	X≙L

Anschlusszuordnung Interface Floppy-Disk

PIN	a	c
1		
2		
3		
4	+12V	+12V
5	-12V	-12V
6	+5V (Vcc)	+5V (Vcc)
7	GND	GND
8	GND	GND
9		
10		
11		
12	R2 (IRQ-REQ)	R3 (SET OVERFLOW)
13	SET OVERFLOW	
14		
15	R/W	RDY
16	Φ2	
17	IRQ-REQ	
18		RESET
19		
20	DB7	DB6
21	DB5	DB4
22	DB3	DB2
23	DB1	DB0
24	←	→
25	AB15	AB14
26	AB13	AB12
27	AB11	AB10
28	AB 9	AB 8
29	AB 7	AB 6
30	AB 5	AB 4
31	AB 3	AB 2
32	AB 1	AB 0

Änderung vorbehalten

VG 64pol [96pol. Geh.]
VG 95324
DIN 41612

M 639

MCS-EB 020/11

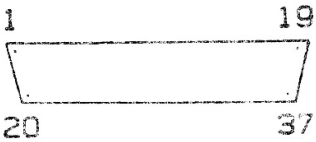
Zuordnung 34p. Flachkabel-37p. DSub

Spez. Bez. Verbindung Floppy-Disc Interface zur Kontroller-Karte

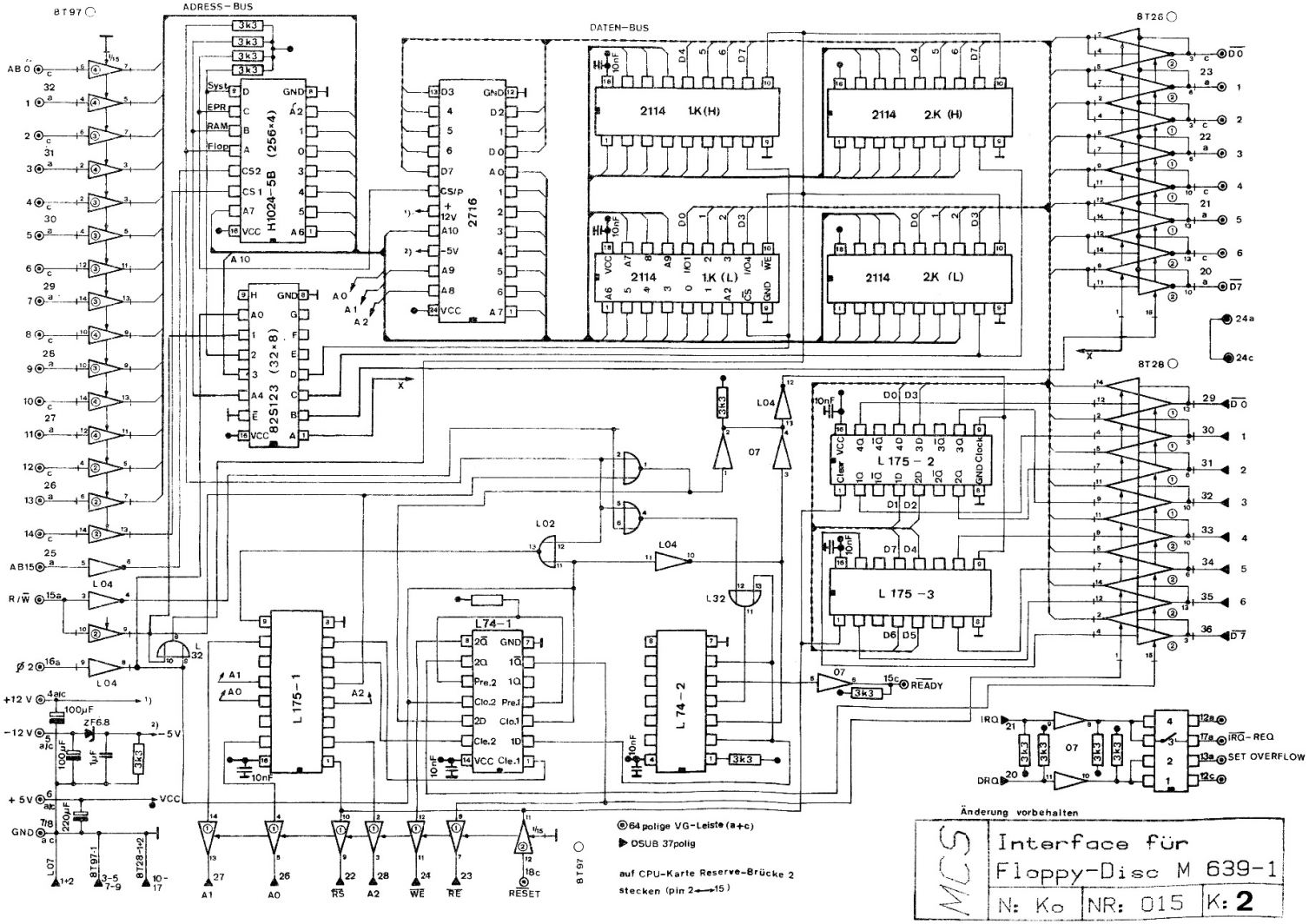
DSub	Flka	BELEGUNG	BEMERKUNG
1	1	GND	
2	3	GND	
3	5	GND	
4	7	GND	
5	9	GND	
6	11		
7	13	GND	
8	15	GND	
9	17	GND	
10	19	GND	
11	21	GND	
12	23	GND	
13	25	GND	
14	27	GND	
15	29	GND	
16	31	GND	
17	33	GND	
18			
19			
20	2	DRQ	
21	4	IRQ	
22	6	$\overline{RS}$	
23	8	$\overline{RE}$	
24	10	$\overline{WE}$	
25	12		
26	14	A0	
27	16	A1	
28	18	A2	
29	20	D0	
30	22	D1	
31	24	D2	
32	26	D3	
33	28	D4	
34	30	D5	
35	32	D6	
36	34	D7	
37			

Änderung vorbehalten

Stecker - Sicht auf die Steckseite



MCS FB027/1


ADRESS-BUS
DATEN-BUS
BT97
BT26
BT28
H1024-5B (256×4)
825123 (32×8)
2716
2114 1K (H)
2114 2K (H)
2114 1K (L)
2114 2K (L)
L 175 - 1
L 175 - 2
L 175 - 3
L 74 - 1
L 74 - 2
L 04
L 02
L 32
07
READY
IRQ
DRQ
IRQ-REQ
SET OVERFLOW
RESET
+12 V
-12 V
+5 V
-5V
VCC
GND
64 polige VG-Leiste (a+c)
DSUB 37polig
auf CPU-Karte Reserve-Brücke 2 stecken (pin 2⟶15)
Änderung vorbehalten
MCS
Interface für Floppy-Disc M 639-1
N: Ko
NR: 015
K: 2

Stückliste

Gerät :
Typ : Floppy-Disc
Baugruppe :Interfacek. M 639
Liste besteht aus 2 Blatt
Ausgabedatum : 10-5-78
Hier : Blatt 1

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	Leiterplatte M639			
13	Widerstand 3K3			
1	Diode ZF6,8			
1	74LS02			
1	74LS04			
1	74LS07			
1	74LS32			
2	74LS74			
3	74LS125			
2	8T26			
2	8T28			
4	8T97			
4	RAM 2114			
1	EPROM			
1	PROM 256x4			
1	PROM 32x8			
1	Sockel 8 polig			
6	Sockel 14 polig			
13	Sockel 16 polig			
4	Sockel 18 polig			

Stückliste

Gerät :
Typ : Floppy-
Baugruppe : Interfacek. M639
Liste besteht aus 2 Blatt
Hier : Blatt 2

Ausgabedatum : 10-5-78

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	Sockel 24 polig			
7	Kondensator 10nF			
1	Kondensator 1uF			
2	Kondensator 100uF			
1	Kondensator 220uF			
1	VG-Leiste 64polig			
1	DSub-Stecker 37p.			
2	Halter			
2	Schraube M2x8			
2	Mutter M2			

M660 SBC6502 und Anschluss

Anschlusszuordnung : Single Board CPU

PIN	a	c
1		
2		
3	PWRFAIL	
4	+12V	+12V
5	-12V	-12V
6	+5V [Vcc]	+5V [Vcc]
7	GND	GND
8	GND	GND
9		
10		
11		
12	PR6 (R2)	
13	RESERVE	SYN
14	I/O-SEL	
15	R/W	RDY
16	Φ2	Φ1
17	IRQ-REQ	
18	NMI	RESET
19		HOLDACK
20	DB7	DB6
21	DB5	DB4
22	DB3	DB2
23	DB1	DBØ
24		
25	AB15	AB14
26	AB13	AB12
27	AB11	AB1Ø
28	AB 9	AB 8
29	AB 7	AB 6
30	AB 5	AB 4
31	AB 3	AB 2
32	AB 1	AB Ø

Änderung vorbehalten

VG 64pol [96pol. Geh.]
VG 95324
DIN 41612

M 660

```
LINE # LOC      CODE      LINE

 4650  FEC8  10 DD             BPL DREI
 4655  FECA  60                RTS
 4660  FECB                   ;
 4665  FECB                   ;                        DATENBAND LESEN
 4670  FECB  A9 3B      TPREAD LDA #$3B
 4675  FECD  8D 02 F6          STA PB
 4680  FED0  20 E3 FB          JSR CHKCLR
 4685  FED3  20 69 FF    SYN   JSR RDBIT        ; SYNCHRONISIEREN
 4690  FED6  46 F2              LSR INH
 4695  FED8  05 F2              ORA INH
 4700  FEDA  85 F2              STA INH
 4705  FEDC  C9 16      TEST    CMP #$16         ; SYNCH-ZEICHEN ?
 4710  FEDE  D0 F3              BNE SYN
 4715  FEE0  20 55 FF           JSR RDCHT
 4720  FEE3  C6 F2              DEC INH
 4725  FEE5  10 F5              BPL TEST
 4730  FEE7  C9 2A              CMP #'*
 4735  FEE9  D0 F1              BNE TEST
 4740  FEEB  20 48 FF           JSR RDBYT        ; AUF GEHTS
 4745  FEEE  C0 F4 F7           CMP ID           ;DAS MUSS ID SEIN
 4750  FEF1  F0 05              BEQ IDOK
 4755  FEF3  AD F4 F7           LDA ID
 4760  FEF6  D0 0B              BNE SYN
 4765  FEF8  A2 FE      IDOK    LDX #$FE
 4770  FEFA  20 48 FF    ADDR    JSR RDBYT
 4775  FEFD  95 F9              STA ADRH+1,X
 4780  FEFF  95 F1              STA ADH+1,X
 4785  FF01  20 EB FB           JSR CHECK
 4790  FF04  E8                 INX
 4795  FF05  30 F3              BMI ADDR
 4800  FF07  A2 02      BYTE    LDX #2
 4805  FF09  20 55 FF    DUBL    JSR RDCHT
 4810  FF0C  C9 2F              CMP #$2F         ;END ?
 4815  FF0E  F0 12              BEQ WIND
 4820  FF10  20 20 FA           JSR HEXA
 4825  FF13  D0 2B              BNE ER
 4830  FF15  CA                 DEX
 4835  FF16  D0 F1              BNE DUBL
 4840  FF18  91 F7             STA (ADRL),Y
 4845  FF1A  20 EB FB           JSR CHECK
 4850  FF1D  20 55 FC           JSR INCADR
 4855  FF20  B0 E5              BCS BYTE
 4860  FF22  20 48 FF    WIND    JSR RDBYT
 4865  FF25  C5 F5              CMP CHECKL
 4870  FF27  D0 17              BNE ER
 4875  FF29  20 48 FF           JSR RDBYT
 4880  FF2C  C5 F6              CMP CHECKH
 4885  FF2E  D0 10              BNE ER
 4890  FF30  A5 EF              LDA ADL
 4895  FF32  85 F7              STA ADRL
 4900  FF34  A5 F0              LDA ADH
 4905  FF36  85 F8              STA ADRH
 4910  FF38  A9 3F      R10     LDA #$3F
 4915  FF3A  8D 02 F6           STA PB
 4920  FF3D  60                 RTS
 4925  FF3E  EA                 .BYTE $EA,$EA
 4925  FF3F  EA
 4930  FF40  A9 FF      ER      LDA #$FF
 4935  FF42  85 F8              STA ADRH
 4940  FF44  85 F7              STA ADRL
 4945  FF46  D0 F0              BNE R10
```

```
LINE #  LOC     CODE        LINE

 4950   FF48                ;
 4955   FF48  20 55 FF      RDBYT   JSR RDCHT
 4960   FF4B  20 2D FA              JSR HEXA
 4965   FF4E  20 55 FF              JSR RDCHT
 4970   FF51  20 2D FA              JSR HEXA
 4975   FF54  60                    RTS
 4980   FF55  86 EC         RDCHT   STX Z1
 4985   FF57  A2 08                 LDX #8
 4990   FF59  20 69 FF      RDCHT1  JSR RDBIT
 4995   FF5C  2A                    ROL A
 5000   FF5D  66 F3                 ROR IBUF
 5005   FF5F  CA                    DEX
 5010   FF60  D0 F7                 BNE RDCHT1
 5015   FF62  A5 F3                 LDA IBUF
 5020   FF64  2A                    ROL A
 5025   FF65  4A                    LSR A               ; PARITAET GELOESCHT
 5030   FF66  A6 EC                 LDX Z1
 5035   FF68  60                    RTS
 5040   FF69                ;
 5045   FF69  2C 02 F6      RDBIT   BIT PB
 5050   FF6C  30 FB                 BMI RDBIT
 5055   FF6E  A0 06 F6              LDA TREAD
 5060   FF71  A0 FF                 LDY #$FF
 5065   FF73  8C 16 F6              STY T64
 5070   FF76  A0 30                 LDY #$30
 5075   FF78  88            P1      DEY
 5080   FF79  D0 FD                 BNE P1
 5085   FF7B  2C 02 F6      P2      BIT PB
 5090   FF7E  10 FB                 BPL P2
 5095   FF80  38                    SEC
 5100   FF81  ED 06 F6              SBC TREAD
 5105   FF84  A0 FF                 LDY #$FF
 5110   FF86  8C 16 F6              STY T64
 5115   FF89  A0 30                 LDY #$30
 5120   FF8B  88            P4      DEY
 5125   FF8C  D0 FD                 BNE P4
 5130   FF8E  49 FF                 EOR #$FF
 5135   FF90  29 80                 AND #$80
 5140   FF92  60                    RTS
 5145   FF93                ;
 5150   FF93  A9 3F         PLLTST  LDA #$3F
 5155   FF95  8D 02 F6      PLL1    STA PB
 5160   FF98  85 F4                 STA OBUF
 5165   FF9A  A2 8D                 LDX #141
 5170   FF9C  8E 14 F6              STX T1
 5175   FF9F  2C 07 F6      PLL2    BIT VORBEI
 5180   FFA2  10 FB                 BPL PLL2
 5185   FFA4  A5 F4                 LDA OBUF
 5190   FFA6  49 20                 EOR #$20
 5195   FFA8  D0 EB                 BNE PLL1
 5200   FFAA                ;
 5205   FFAA  04            TAB5    .BYTE $04,$0C,$59,$04,$4C,$01
 5205   FFAB  0C
 5205   FFAC  59
 5205   FFAD  04
 5205   FFAE  4C
 5205   FFAF  01
 5210   FFB0  A9 FF         SPDCTL  LDA #$FF
 5215   FFB2  2C 00 F5              BIT V24IN
 5220   FFB5  EA                    .BYTE $EA,$EA
 5220   FFB6  EA
```

```
LINE # LOC     CODE       LINE

 5225  FFB7  30 F7             BMI SPDCTL
 5230  FFB9  8D 16 F6          STA T64
 5235  FFBC  2C 00 F5    SPD1  BIT V24IN
 5240  FFBF  10 FB             BPL SPD1
 5245  FFC1  A2 00             LDX #0
 5250  FFC3  8E F5 F7          STX BAUDL
 5255  FFC6  8A                TXA
 5260  FFC7  18                CLC
 5265  FFC8  ED 06 F6          SBC TREAD
 5270  FFCB  C9 16             CMP #$16
 5275  FFCD  10 16             BPL LADE1
 5280  FFCF  C9 0A             CMP #$0A
 5285  FFD1  10 08             BPL LADE
 5290  FFD3  E8                INX
 5295  FFD4  E8                INX
 5300  FFD5  C9 05             CMP #5
 5305  FFD7  10 02             BPL LADE
 5310  FFD9  E8                INX
 5315  FFDA  E8                INX
 5320  FFDB  BD AA FF    LADE  LDA TAB5,X
 5325  FFDE  8D F5 F7          STA BAUDL
 5330  FFE1  E8                INX
 5335  FFE2  BD AA FF          LDA TAB5,X
 5340  FFE5  8D F6 F7    LADE1 STA BAUDH
 5345  FFE8  60          RETN  RTS
 5350  FFE9                ;
 5355  FFE9  20 CB FE    RTAPE JSR TPREAD
 5360  FFEC  4C A1 F8    RRR   JMP DTCYC
 5365  FFEF  20 1B FE    WTAPE JSR TAUFZ
 5370  FFF2  D0 F8             BNE RRR
 5375  FFF4  EA                .BYTE $EA,$EA,$EA,$EA,$EA,$EA
 5375  FFF5  EA
 5375  FFF6  EA
 5375  FFF7  EA
 5375  FFF8  EA
 5375  FFF9  EA
 5380  FFFA  00 F8             .WORD $F800
 5385  FFFC  22 F8             .WORD $F822
 5390  FFFE  03 F8             .WORD $F803
 5395  0000                   .END


ERRORS = 0000


SYMBOL TABLE

 TPFLG   00E3    FREI    00E4    ZEIT    00E5    SPDFLG  00E6
 AKKU    00E7    STPOIN  00E8    STATUS  00E9    XSAVE   00EA
 YSAVE   00EB    Z1      00EC    Z2      00ED    DSPART  00EE
 ADL     00EF    ADH     00F0    INL     00F1    INH     00F2
 IBUF    00F3    OBUF    00F4    CHECKL  00F5    CHECKH  00F6
 ADRL    00F7    ADRH    00F8    MNEM1   00F9    FREQ1   00FA
 MNEM2   00FB    FREQ2   00FC    MNEM3   00FD    COPO    00FE
 PUNKT   00FF    V24IN   F500    RSCTRL  F501    V24OUT  F502
 PA      F600    PADD    F601    PB      F602    PBDD    F603
 TREAD   F606    VORBEI  F607    T1      F614    T64     F616
 T1024   F617    OFFSET  F90D    IRQH    F7FF    IRQL    F7FE
```

ENDEH	F7F3	ENDEL	F7F2	STRTH	F7F1	STRTL	F7F0
ECHO	F7EF	RSUSER	7FFE	TAB0	F806	TAB1	F80B
TAB2	F812	RESTRT	F822	RSMONA	F82D	STOP	F852
STP	F868	SLOWST	F87F	SLOW1	F88B	SLOWGO	F894
DISP	F899	TZ	F89F	DTCYC	F8A1	NOCH	F8B4
ART	F8C9	DATA	F8CD	DATA1	F8D5	CYCEND	F8D8
ADRES	F8DB	FUNK	F8E3	GO	F8F4	TTY	F907
TTYOK	F915	MONA	F91E	MONA1	F920	TTYO	F92B
MONA2	F938	TTY1	F93B	TTY2	F941	GLADEN	F973
GDUMP	F976	ADR	F979	NEUDAT	F984	TDOWN	F98A
TUP	F98F	R3	F992	TSATZ	F994	TMNEMO	F9A4
TPROGC	F9AA	TSTATU	F9B4	TAKKU	F9B8	STORE	F9BA
TDATA	F9C2	TADRES	F9C8	HPAUSE	F9D0	PAUSE	F9D8
PAUSE0	F9DC	PAUSE1	F9DF	PAUSE2	F9EA	ASCIIN	F9F1
ASC0	F9F3	ASC1	FA05	ASC2	FA0F	ASC3	FA12
HEXA	FA2D	ZAHL	FA3C	TRANS	FA42	R2	FA4E
CARRET	FA4F	CARET1	FA51	ZEILE	FA5B	ZEILE0	FA5E
ZEILE1	FA75	SPACE	FA84	TTYOUT	FA86	ASC01	FA96
OUTBYT	FAAF	OUTBT	FAB2	HEXOUT	FABF	NUMM	FAC8
TAPE	FAD2	DISPLY	FAD6	DSP1	FAE2	DSP2	FB00
MNDSP	FB0E	DSP3	FB11	R5	FB1A	LLICHT	FB1B
RLICHT	FB21	MLICHT	FB27	LICHT1	FB2D	WARTEN	FB3C
TASTEN	FB4C	REIHE	FB4E	TASTO	FB61	TAST1	FB63
WERT	FB69	AD8	FB6F	R6	FB77	DUMP	FB7D
JUMP0	FB83	DUMP1	FB86	DUMP3	FBAD	DUMP4	FBB4
DUMP6	FBCA	PRTSEQ	FBCD	PRTSQ1	FBCF	PRTSQ2	FBD2
CHKPRT	FBD8	CHKCLR	FBE3	CHECK	FBEB	LADEN	FBF9
LADEN1	FBFC	LADEN2	FC1D	LADEN3	FC2E	LADEN4	FC41
ERROR	FC44	HEXIN	FC48	INCADR	FC55	R8	FC5B
DECADR	FC5D	R9	FC68	CODE	FC6A	ASCII	FD6A
SIEBSG	FD7E	MNEMON	FD92	MNEMO1	FD98	NOMN	FDA5
SMN	FDAF	MNF	FDBB	SSEG	FDD1	C01	FDED
C02	FE06	C03	FE0C	DATEN	FE11	TAUFZ	FE1B
VORLF	FE27	VORLF1	FE2E	INFO	FE58	XOUT	FE87
XOUT1	FE89	TAB4	FE93	TAPOUT	FE96	DRE1	FE9A
TON	FE9E	TON1	FEA1	TON2	FEC2	TON3	FEC6
TPREAD	FECB	SYN	FED3	TEST	FEDC	IDOK	FEF8
ADDR	FEFA	BYTE	FF07	DUBL	FF09	WIND	FF22
R10	FF36	ER	FF40	RDBYT	FF48	RDCHT	FF55
RDCHT1	FF59	RDBIT	FF69	P1	FF78	P2	FF7B
P4	FF8B	PLLTST	FF93	PLL1	FF95	PLL2	FF9F
TAB5	FFAA	SPDCTL	FFB0	SPD1	FFBC	LADE	FFDB
LADE1	FFE5	RETN	FFE8	RTAPE	FFE9	RRR	FFEC
WTAPE	FFEF						

END OF ASSEMBLY

```
LINE # LOC     CODE      LINE

 3680  FD38  FD
 3680  FD39  F9
 3685  FD3A  2F C4              .WORD $C42F      ; SBC
 3690  FD3C  38                 .BYTE $38
 3695  FD3D  2F 88              .WORD $882F      ; SEC
 3700  FD3F  F8                 .BYTE $F8
 3705  FD40  2F 8E              .WORD $8E2F      ; SED
 3710  FD42  78                 .BYTE $78
 3715  FD43  2F 8C              .WORD $8C2F      ; SEI
 3720  FD45  8D                 .BYTE $8D,$85,$81,$91,$95,$9D,$99
 3720  FD46  85
 3720  FD47  81
 3720  FD48  91
 3720  FD49  95
 3720  FD4A  9D
 3720  FD4B  99
 3725  FD4C  2F A7              .WORD $A72F      ; STA
 3730  FD4E  8E                 .BYTE $8E,$86,$96
 3730  FD4F  86
 3730  FD50  96
 3735  FD51  2F A3              .WORD $A32F      ; STX
 3740  FD53  8C                 .BYTE $8C,$84,$94
 3740  FD54  84
 3740  FD55  94
 3745  FD56  2F A0              .WORD $A02F      ; STY
 3750  FD58  AA                 .BYTE $AA
 3755  FD59  DF 7F              .WORD $7FDF      ; TAX
 3760  FD5B  A8                 .BYTE $A8
 3765  FD5C  DF 7C              .WORD $7CDF      ; TAY
 3770  FD5E  BA                 .BYTE $BA
 3775  FD5F  DF 8E              .WORD $8EDF      ; TSX
 3780  FD61  8A                 .BYTE $8A
 3785  FD62  DF 33              .WORD $33DF      ; TXA
 3790  FD64  9A                 .BYTE $9A
 3795  FD65  DF 34              .WORD $34DF      ; TXS
 3800  FD67  98                 .BYTE $98
 3805  FD68  DF 06              .WORD $06DF      ; TYA
 3810  FD6A  43          ASCII  .BYTE $43,$41,$53,$4F,$49,$5D,$44,$4A,$52,$4D
 3810  FD6B  41
 3810  FD6C  53
 3810  FD6D  4F
 3810  FD6E  49
 3810  FD6F  5D
 3810  FD70  44
 3810  FD71  4A
 3810  FD72  52
 3810  FD73  4D
 3815  FD74  4E                 .BYTE $4E,$45,$4C,$54,$59,$42,$48,$58,$56,$51
 3815  FD75  45
 3815  FD76  4C
 3815  FD77  54
 3815  FD78  59
 3815  FD79  42
 3815  FD7A  48
 3815  FD7B  58
 3815  FD7C  56
 3815  FD7D  51
 3820  FD7E  39          SIEBEN .BYTE $39,$77,$6D,$3F,$06,$73,$5E,$1E,$50,$37
 3820  FD7F  77
 3820  FD80  6D
 3820  FD81  3F
```

```
LINE # LOC      CODE      LINE

 3820  FD82  06
 3820  FD83  73
 3820  FD84  5E
 3820  FD85  1E
 3820  FD86  50
 3820  FD87  37
 3825  FD88  54                .BYTE $54,$79,$38,$78,$6E,$7C,$76,$14,$6A,$67
 3825  FD89  79
 3825  FD8A  38
 3825  FD8B  78
 3825  FD8C  6E
 3825  FD8D  7C
 3825  FD8E  76
 3825  FD8F  14
 3825  FD90  6A
 3825  FD91  67
 3830  FD92  8A          MNEMON TXA
 3835  FD93  48                 PHA
 3840  FD94  98                 TYA
 3845  FD95  48                 PHA
 3850  FD96  A2 00              LDX #0
 3855  FD98  BD 6A FC     MNEMO1 LDA CODE,X
 3860  FD9B  09 F0              ORA #$F0
 3865  FD9D  C9 FF              CMP #$FF
 3870  FD9F  D0 04              BNE NOMN
 3875  FDA1  E8                 INX
 3880  FDA2  E8                 INX
 3885  FDA3  F0 6C              BEQ DATEN
 3890  FDA5  BD 6A FC     NOMN   LDA CODE,X
 3895  FDA8  E8                 INX
 3900  FDA9  A0 00              LDY #0
 3905  FDAB  D1 F7              CMP (ADRL),Y
 3910  FDAD  D0 E9              BNE MNEMO1
 3915  FDAF  BD 6A FC     SMN    LDA CODE,X
 3920  FDB2  09 F0              ORA #$F0
 3925  FDB4  C9 FF              CMP #$FF
 3930  FDB6  F0 03              BEQ MNF
 3935  FDB8  E8                 INX
 3940  FDB9  D0 F4              BNE SMN
 3945  FDBB  A9 14        MNF   LDA #20
 3950  FDBD  85 EC              STA Z1
 3955  FDBF  BD 6A FC           LDA CODE,X
 3960  FDC2  18                 CLC
 3965  FDC3  4A                 LSR A
 3970  FDC4  4A                 LSR A
 3975  FDC5  4A                 LSR A
 3980  FDC6  4A                 LSR A
 3985  FDC7  18                 CLC
 3990  FDC8  EA                 .BYTE $EA,$EA
 3990  FDC9  EA
 3995  FDCA  90 05              BCC SSEG
 4000  FDCC  06 EC              ASL Z1
 4005  FDCE  18                 CLC
 4010  FDCF  69 14              ADC #20
 4015  FDD1  A8            SSEG  TAY
 4020  FDD2  85 FE              STA COPO
 4025  FDD4  B9 6A FD           LDA ASCII,Y
 4030  FDD7  85 F9              STA MNEM1
 4035  FDD9  E8                 INX
 4040  FDDA  BD 6A FC           LDA CODE,X
 4045  FDDD  4A                 LSR A
```

```
LINE # LOC     CODE       LINE

 4050  FDDE  4A                 LSR A
 4055  FDDF  4A                 LSR A
 4060  FDE0  4A                 LSR A
 4065  FDE1  18                 CLC
 4070  FDE2  65 FE              ADC COPO
 4075  FDE4  69 01              ADC #1
 4080  FDE6  C5 EC              CMP Z1
 4085  FDE8  30 03              BMI CO1
 4090  FDEA  38                 SEC
 4095  FDEB  E9 14              SBC #20
 4100  FDED  A3           CO1   TAY
 4105  FDEE  85 FE              STA COPO
 4110  FDF0  B9 6A FD           LDA ASCII,Y
 4115  FDF3  85 FB              STA MNEM2
 4120  FDF5  BD 6A FC           LDA CODE,X
 4125  FDF8  29 DF              AND #$DF
 4130  FDFA  18                 CLC
 4135  FDFB  65 FE              ADC COPO
 4140  FDFD  69 01              ADC #1
 4145  FDFF  C5 EC              CMP Z1
 4150  FE01  30 03              BMI CO2
 4155  FE03  38                 SEC
 4160  FE04  E9 14              SBC #20
 4165  FE06  A8           CO2   TAY
 4170  FE07  B9 6A FD           LDA ASCII,Y
 4175  FE0A  85 FD              STA MNEM3
 4180  FE0C  68           CO3   PLA
 4185  FE0D  A8                 TAY
 4190  FE0E  68                 PLA
 4195  FE0F  AA                 TAX
 4200  FE10  60                 RTS
 4205  FE11  A9 40        DATEN LDA #$4D
 4210  FE13  85 F9              STA MNEM1
 4215  FE15  85 FB              STA MNEM2
 4220  FE17  85 FD              STA MNEM3
 4225  FE19  D0 F1              BNE CO3
 4230  FE1B              ;               OPT LIST
 4235  FE1B              ;DATENBANDAUFZEICHNUNG
 4240  FE1B              ;STARTADRESSE NACH STRTH,STRTL
 4245  FE1B              ;STOPADRESSE NACH ENDEH,ENDEL
 4250  FE1B              ;IDENTIFIKATIONS-NR. NACH ID
 4255  FE1B  20 E2 FB    TAUFZ  JSR CHKCLR
 4260  FE1E  A9 39              LDA #$39        ; EINSCHALTEN DES BANDMOTORS 1
 4265  FE20  8D 02 F6           STA PB
 4270  FE23  85 F4              STA OBUF
 4275  FE25  A2 0F              LDX #$0F        ; BANDVORLAUF
 4280  FE27  A9 FF        VORLF LDA #$FF        ; 16 MAL
 4285  FE29  85 E3              STA TPFLG
 4290  FE2B  8D 17 F6           STA T1024       ;1024*256 ZYCLEN
 4295  FE2E  2C 07 F6    VORLF1 BIT VORBEI      ; =CA. 4SEC.
 4300  FE31  10 FB              BPL VORLF1
 4305  FE33  CA                 DEX
 4310  FE34  D0 F1              BNE VORLF
 4315  FE36  A2 64              LDX #100        ; 100 SYNCH.-ZEICHEN
 4320  FE38  A9 16              LDA #$16
 4325  FE3A  20 B7 F9           JSR XOUT
 4330  FE3D  A9 2A              LDA #'*
 4335  FE3F  20 96 FE           JSR TAPOUT
 4340  FE42  AD F4 F7           LDA ID
 4345  FE45  20 [illegible]     JSR OUTBT
 4350  FE48  A0 [illegible]      LDA STRTL
```

```
LINE # LOC      CODE       LINE

 4355  FE4B  85 F7           STA ADRL
 4360  FE4D  20 AF FA        JSR OUTBYT
 4365  FE50  AD F1 F7        LDA STRTH
 4370  FE53  85 F8           STA ADRH
 4375  FE55  20 AF FA        JSR OUTBYT
 4380  FE58  A0 00     INFO  LDY #0
 4385  FE5A  B1 F7           LDA (ADRL),Y
 4390  FE5C  20 AF FA        JSR OUTBYT
 4395  FE5F  20 55 FC        JSR INCADR
 4400  FE62  A5 F7           LDA ADRL
 4405  FE64  CD F2 F7        CMP ENDEL
 4410  FE67  A5 F8           LDA ADRH
 4415  FE69  ED F3 F7        SBC ENDEH
 4420  FE6C  90 EA           BCC INFO
 4425  FE6E  A9 2F           LDA #'/
 4430  FE70  20 96 FE        JSR TAPOUT
 4435  FE73  A5 F5           LDA CHECKL
 4440  FE75  20 B2 FA        JSR OUTBT
 4445  FE78  A5 F6           LDA CHECKH
 4450  FE7A  20 B2 FA        JSR OUTBT
 4455  FE7D  A9 04           LDA #4          ; END-OF-TAPE
 4460  FE7F  A2 02           LDX #2
 4465  FE81  20 87 FE        JSR XOUT
 4470  FE84  4C 38 FF        JMP R10
 4475  FE87  86 EC     XOUT  STX Z1          ; HILFSREGISTER Z
 4480  FE89  48        XOUT1 PHA
 4485  FE8A  20 96 FE        JSR TAPOUT
 4490  FE8D  68              PLA
 4495  FE8E  C6 EC           DEC Z1
 4500  FE90  D0 F7           BNE XOUT1
 4505  FE92  60              RTS
 4510  FE93                  ;
 4515  FE93  C4     TAB4   .BYTE $C4,$00,$7F  ; 3600HZ/2400HZ
 4515  FE94  00
 4515  FE95  7F
 4520  FE96                  ;
 4525  FE96  A0 07  TAPOUT LDY #7
 4530  FE98  84 E5           STY ZEIT
 4535  FE9A  A0 02  DREI    LDY #2
 4540  FE9C  84 ED           STY Z2
 4545  FE9E  B6 FA  TON     LDX FREQ1,Y
 4550  FEA0  48              PHA
 4555  FEA1  2C 07 F6  TON1  BIT VORBEI
 4560  FEA4  10 FB           BPL TON1
 4565  FEA6  B9 93 FE        LDA TAB4,Y
 4570  FEA9  8D 14 F6        STA T1
 4575  FEAC  A5 F4           LDA OBUF
 4580  FEAE  49 20           EOR #$20
 4585  FEB0  8D 02 F6        STA PB
 4590  FEB3  85 F4           STA OBUF
 4595  FEB5  CA              DEX
 4600  FEB6  D0 E9           BNE TON1
 4605  FEB8  68              PLA
 4610  FEB9  C6 ED           DEC Z2
 4615  FEBB  F0 05           BEQ TON2
 4620  FEBD  30 07           BMI TON3
 4625  FEBF  4A              LSR A
 4630  FEC0  90 DC           BCC TON
 4635  FEC2  A0 00  TON2    LDY #0
 4640  FEC4  F0 D8           BEQ TON
 4645  FEC6  C6 E5  TON3    DEC ZEIT
```

```
LINE # LOC     CODE      LINE

 3180  FC51  20 2D FA           JSR HEXA
 3185  FC54  60                 RTS
 3190  FC55                ;
 3195  FC55  E6 F7         INCADR INC ADRL
 3200  FC57  D0 02               BNE R8
 3205  FC59  E6 F8               INC ADRH
 3210  FC5B  38           R8      SEC
 3215  FC5C  60                 RTS
 3220  FC5D  38           DECADR SEC
 3225  FC5E  A5 F7               LDA ADRL
 3230  FC60  E9 01               SBC #1
 3235  FC62  85 F7               STA ADRL
 3240  FC64  B0 02               BCS R9
 3245  FC66  C6 F8               DEC ADRH
 3250  FC68  38           R9      SEC
 3255  FC69  60                 RTS
 3260  FC6A                ;         TEIL 2 : MNEMONIC + DATENBAND
 3265  FC6A                ;
 3270  FC6A  69           CODE    .BYTE $69,$6D,$65,$61,$71,$75,$7D,$79
 3270  FC6B  6D
 3270  FC6C  65
 3270  FC6D  61
 3270  FC6E  71
 3270  FC6F  75
 3270  FC70  7D
 3270  FC71  79
 3275  FC72  1F 4D               .WORD $4D1F      ;ADC
 3280  FC74  29                 .BYTE $29,$2D,$25,$21,$31,$35,$3D,$39
 3280  FC75  2D
 3280  FC76  25
 3280  FC77  21
 3280  FC78  31
 3280  FC79  35
 3280  FC7A  3D
 3280  FC7B  39
 3285  FC7C  1F 8F               .WORD $8F1F      ;AND
 3290  FC7E  0E                 .BYTE $0E,$06,$0A,$16,$1E
 3290  FC7F  06
 3290  FC80  0A
 3290  FC81  16
 3290  FC82  1E
 3295  FC83  1F 09               .WORD $091F      ;ASL
 3300  FC85  90                 .BYTE $90
 3305  FC86  FF 48               .WORD $48FF      ; BCL
 3310  FC88  B0                 .BYTE $B0
 3315  FC89  FF 41               .WORD $41FF      ; BCS
 3320  FC8B  F0                 .BYTE $F0
 3325  FC8C  FF F7               .WORD $F7FF      ; BEQ
 3330  FC8E  2C                 .BYTE $2C,$24
 3330  FC8F  24
 3335  FC90  FF 88               .WORD $88FF      ; BIT
 3340  FC92  30                 .BYTE $30
 3345  FC93  FF DE               .WORD $DEFF      ; BMI
 3350  FC95  D0                 .BYTE $D0
 3355  FC96  FF E0               .WORD $E0FF      ; BNE
 3360  FC98  10                 .BYTE $10
 3365  FC99  FF 96               .WORD $96FF      ; BPL
 3370  FC9B  50                 .BYTE $50
 3375  FC9C  FF 21               .WORD $21FF      ; BVC
 3380  FC9E  70                 .BYTE $70
 3385  FC9F  FF 23               .WORD $23FF      ; BVS
```

```
LINE # LOC    CODE      LINE

3390  FCA1  18                .BYTE $18
3395  FCA2  0F B7             .WORD $B70F     ; CLC
3400  FCA4  D8                .BYTE $D8
3405  FCA5  0F BD             .WORD $BD0F     ; CLD
3410  FCA7  58                .BYTE $58
3415  FCA8  0F BB             .WORD $BB0F     ; CLI
3420  FCAA  B8                .BYTE $B8
3425  FCAB  0F B5             .WORD $B50F     ; CLV
3430  FCAD  C9                .BYTE $C9,$CD,$C5,$C1,$D1,$D5,$DD,$D9
3430  FCAE  CD
3430  FCAF  C5
3430  FCB0  C1
3430  FCB1  D1
3430  FCB2  D5
3430  FCB3  DD
3430  FCB4  D9
3435  FCB5  0F 8F             .WORD $8F0F     ; CMP
3440  FCB7  E0                .BYTE $E0,$EC,$E4
3440  FCB8  EC
3440  FCB9  E4
3445  FCBA  0F 4B             .WORD $4B0F     ; CPX
3450  FCBC  C0                .BYTE $C0,$CC,$C4
3450  FCBD  CC
3450  FCBE  C4
3455  FCBF  0F 48             .WORD $480F     ; CPY
3460  FCC1  CE                .BYTE $CE,$C6,$D6,$DE
3460  FCC2  C6
3460  FCC3  D6
3460  FCC4  DE
3465  FCC5  6F 48             .WORD $486F     ;DEC
3470  FCC7  CA                .BYTE $CA
3475  FCC8  6F 45             .WORD $456F     ; DEX
3480  FCCA  88                .BYTE $88
3485  FCCB  6F 42             .WORD $426F     ; DEY
3490  FCCD  49                .BYTE $49,$4D,$45,$41,$51,$55,$50,$59
3490  FCCE  4D
3490  FCCF  45
3490  FCD0  41
3490  FCD1  51
3490  FCD2  55
3490  FCD3  50
3490  FCD4  59
3495  FCD5  BF B4             .WORD $B4BF     ; EOR
3500  FCD7  EE                .BYTE $EE,$E6,$F6,$FE
3500  FCD8  E6
3500  FCD9  F6
3500  FCDA  FE
3505  FCDB  4F 59             .WORD $594F     ; INC
3510  FCDD  E8                .BYTE $E8
3515  FCDE  4F 56             .WORD $564F     ; INX
3520  FCE0  C8                .BYTE $C8
3525  FCE1  4F 53             .WORD $534F     ; INY
3530  FCE3  4C                .BYTE $4C,$6C
3530  FCE4  6C
3535  FCE5  7F 1F             .WORD $1F7F     ; JMP
3540  FCE7  20                .BYTE $20
3545  FCE8  7F E5             .WORD $E57F     ; JSR
3550  FCEA  A9                .BYTE $A9,$AD,$A5,$A1,$B1,$B5,$BD,$B9
3550  FCEB  AD
3550  FCEC  A5
3550  FCED  A1
```

```
LINE # LOC     CODE      LINE

  3550  FCEE  B1
  3550  FCEF  B5
  3550  FCF0  BD
  3550  FCF1  B9
  3555  FCF2  CF DE              .WORD $DECF      ; LDA
  3560  FCF4  A2                .BYTE $A2,$AE,$A6,$BE
  3560  FCF5  AE
  3560  FCF6  A6
  3560  FCF7  BE
  3565  FCF8  CF DA              .WORD $DACF      ; LDX
  3570  FCFA  A0                .BYTE $A0,$AC,$A4,$B4,$BC
  3570  FCFB  AC
  3570  FCFC  A4
  3570  FCFD  B4
  3570  FCFE  BC
  3575  FCFF  CF D7              .WORD $D7CF      ; LDY
  3580  FD01  4E                .BYTE $4E,$46,$4A,$56,$5E
  3580  FD02  46
  3580  FD03  4A
  3580  FD04  56
  3580  FD05  5E
  3585  FD06  CF 95              .WORD $95CF      ; LSR
  3590  FD08  09                .BYTE $09,$0D,$05,$01,$11,$15,$1D,$19
  3590  FD09  0D
  3590  FD0A  05
  3590  FD0B  01
  3590  FD0C  11
  3590  FD0D  15
  3590  FD0E  1D
  3590  FD0F  19
  3595  FD10  3F 4C              .WORD $4C3F      ; ORA
  3600  FD12  48                .BYTE $48
  3605  FD13  5F A4              .WORD $A45F      ; PHA
  3610  FD15  08                .BYTE $08
  3615  FD16  5F A8              .WORD $A85F      ; PHP
  3620  FD18  68                .BYTE $68
  3625  FD19  5F 68              .WORD $685F      ; PLA
  3630  FD1B  28                .BYTE $28
  3635  FD1C  5F 6C              .WORD $6C5F      ; PLP
  3640  FD1E  2E                .BYTE $2E,$26,$2A,$36,$3E
  3640  FD1F  26
  3640  FD20  2A
  3640  FD21  36
  3640  FD22  3E
  3645  FD23  8F E8              .WORD $E88F      ; ROL
  3650  FD25  6A                .BYTE $6A,$66,$76,$6E,$7E
  3650  FD26  66
  3650  FD27  76
  3650  FD28  6E
  3650  FD29  7E
  3655  FD2A  8F E4              .WORD $E48F      ; ROR
  3660  FD2C  40                .BYTE $40
  3665  FD2D  8F 4A              .WORD $4A8F      ; RTI
  3670  FD2F  60                .BYTE $60
  3675  FD30  8F 48              .WORD $488F      ; RTS
  3680  FD32  E9                .BYTE $E9,$ED,$E5,$E1,$F1,$F5,$FD,$F9
  3680  FD33  ED
  3680  FD34  E5
  3680  FD35  E1
  3680  FD36  F1
  3680  FD37  F5
```

```
LINE # LOC      CODE      LINE

 1095  F920  BD 06 F8    MONA1  LDA TABO,X
 1100  F923  20 86 FA           JSR TTYOUT
 1105  F926  CA                 DEX
 1110  F927  10 F7              BPL MONA1
 1115  F929  30 0D              BMI MONA2
 1120  F92B  EA           TTYO  .BYTE $EA,$EA,$EA
 1130  F92C  EA
 1120  F92D  EA
 1125  F92E  EA                 .BYTE $EA,$EA
 1129  F92F  EA
 1130  F930  2C EF F7           BIT ECHO
 1135  F933  30 06              BMI TTY1
 1140  F935  20 4F FA           JSR CARRET
 1145  F938  20 5E FA    MONA2  JSR ZEILEO
 1150  F93B  A9 00        TTY1  LDA #0
 1155  F93D  85 F1              STA INL           ;LOESCHEN INPUT
 1160  F93F  85 F2              STA INH
 1165  F941  20 F1 F9    TTY2  JSR ASCIIN        ;CHARACTER ERWARTEN
 1170  F944  EA                 .BYTE $EA,$EA,$EA,$EA,$EA
 1170  F945  EA
 1170  F946  EA
 1170  F947  EA
 1170  F948  EA
 1175  F949  C9 2E              CMP #'.           ;ZELLE AENDERN
 1180  F94B  F0 37              BEQ NEUDAT
 1185  F94D  C9 0D              CMP #$0D          ; RETURN-= NEUE ADRESSE
 1190  F94F  F0 79              BEQ TDOWN
 1195  F951  C9 0A              CMP #$0A          ;LINEF.=VORIGE ADRESSE
 1200  F953  F0 34              BEQ TUP
 1205  F955  C9 7F              CMP #$7F          ;RUBOUT=SYSTEMMELDUNG
 1210  F957  F0 45              BEQ MONA
 1215  F959  C9 20              CMP #$20          ;LEERTASTE=NEUE ADRESSE
 1220  F95B  F0 1C              BEQ ADR
 1225  F95D  C9 47              CMP #'G           ;DUMMY
 1230  F95F  F0 93              BEQ GO            ;DUMMY
 1235  F961  C9 47              CMP #'G           ;GO
 1240  F963  F0 8F              BEQ GO
 1245  F965  C9 4C              CMP #'L           ;LADEN LOCHSTREIFEN
 1250  F967  F0 0A              BEQ GLADEN
 1255  F969  C9 51              CMP #'Q           ;STANZEN LOCHSTREIFEN
 1260  F96B  F0 09              BEQ GDUMP
 1265  F96D  20 20 FA           JSR HEXA
 1270  F970  4C 41 F9           JMP TTY2
 1275  F973  4C F9 F8    GLADEN JMP LADEN
 1280  F976  4C 70 F8    GDUMP  JMP DUMP
 1285  F979                     ;
 1290  F979  A5 F1        ADR   LDA INL
 1295  F97B  85 F7              STA ADRL
 1300  F97D  A5 F2              LDA INH
 1305  F97F  85 F8              STA ADRH
 1310  F981  4C 2B F9           JMP TTYO
 1315  F984                     ;
 1320  F984  A0 00        NEUDAT LDY #0
 1325  F986  A5 F1              LDA INL
 1330  F988  91 F7              STA (ADRL),Y
 1335  F98A  20 55 FC    TDOWN  JSR INCADR
 1340  F98D  B0 9C              BCS TTYO
 1345  F98F  20 50 FC    TUP    JSR DECADR
 1350  F992  B0 97              BCS TTYO
 1355  F994                     ;
 1360  F994  F0 F4        TSAT2  BEQ TDOWN
```

```
LINE #  LOC   CODE       LINE

 1365  F996  B0 F7           BCS TUP
 1370  F998  B0 0A           BCS TMNEMO
 1375  F99A  B0 0E           BCS TPROGC
 1380  F99C  B0 1A           BCS TAKKU
 1385  F99E  B0 14           BCS TSTATU
 1390  F9A0  B0 26           BCS TADRES
 1395  F9A2  B0 1E           BCS TDATA
 1400  F9A4                 ;
 1405  F9A4  A9 00        TMNEMO LDA #%00000000  ;DATA/MNEMONIC
 1410  F9A6  85 EE            STA DSPART
 1415  F9A8  B0 E8            BCS R3
 1420  F9AA  A5 EF        TPROGC LDA ADL
 1425  F9AC  85 F7            STA ADRL
 1430  F9AE  A5 F0            LDA ADH
 1435  F9B0  85 F8            STA ADRH
 1440  F9B2  B0 DE            BCS R3
 1445  F9B4  A9 E9        TSTATU LDA #STATUS
 1450  F9B6  B0 02            BCS STORE
 1455  F9B8  A9 E7        TAKKU  LDA #AKKU
 1460  F9BA  85 F7        STORE  STA ADRL
 1465  F9BC  A9 00            LDA #0
 1470  F9BE  85 F8            STA ADRH
 1475  F9C0  B0 D0            BCS R3
 1480  F9C2  A9 80        TDATA  LDA #%10000000  ;DATA/HEXA
 1485  F9C4  85 EE            STA DSPART
 1490  F9C6  B0 CA            BCS R3
 1495  F9C8  A9 40        TADRES LDA #%01000000  ;ADRESSE/XA
 1500  F9CA  05 EE            ORA DSPART
 1505  F9CC  85 EE            STA DSPART
 1510  F9CE  B0 C2            BCS R3
 1515  F9D0                 ;
 1520  F9D0  48           HPAUSE PHA
 1525  F9D1  AD F6 F7            LDA BAUDH
 1530  F9D4  4A                 LSR A
 1535  F9D5  4C DC F9            JMP PAUSE0
 1540  F9D8  48           PAUSE  PHA
 1545  F9D9  AD F6 F7            LDA BAUDH
 1550  F9DC  8D 16 F6      PAUSE0 STA T64
 1555  F9DF  2C 07 F6      PAUSE1 BIT VORBEI
 1560  F9E2  10 FB               BPL PAUSE1
 1565  F9E4  AD F5 F7            LDA BAUDL
 1570  F9E7  8D 14 F6            STA T1
 1575  F9EA  2C 07 F6      PAUSE2 BIT VORBEI
 1580  F9ED  10 FB               BPL PAUSE2
 1585  F9EF  68                 PLA
 1590  F9F0  60                 RTS
 1595  F9F1                 ;
 1600  F9F1  8A           ASCIIN TXA
 1605  F9F2  48                 PHA
 1610  F9F3  2C 00 F5      ASC0   BIT V24IN       ;WURDE KEIN STARTBIT ?
 1615  F9F6  30 FB               BMI ASC0
 1620  F9F8  20 D0 F9            JSR HPAUSE       ;0.5 BIT WARTEZEIT
 1625  F9FB  A9 00               LDA #00
 1630  F9FD  8D D2 F5            STA V24OUT       ;STARTBIT ECHO
 1635  FA00  20 D8 F9            JSR PAUSE        ;1 BIT WARTEZEIT
 1640  FA03  A0 07               LDY #7           ;FUER 7 ASCII ZEICHEN
 1645  FA05  2C 00 F5      ASC1   BIT V24IN
 1650  FA08  30 05               BMI ASC2
 1655  FA0A  A2 00               LDX #0
 1660  FA0C  18                 CLC
 1665  FA0D  90 03               BCC ASC3
```

```
LINE #  LOC   CODE       LINE

 1670  FA0F  38          ASC2   SEC
 1675  FA10  A2 FF              LDX #$FF
 1680  FA12  66 F3       ASC3   ROR IBUF
 1685  FA14  8E 02 F5           STX V24OUT       ;ECHO
 1690  FA17  20 D8 F9           JSR PAUSE
 1695  FA1A  88                 DEY
 1700  FA1B  D0 E8              BNE ASC1
 1705  FA1D  46 F3              LSR IBUF
 1710  FA1F  20 D8 F9           JSR PAUSE        ;0.5 BIT GESCHENKT
 1715  FA22  A2 FF              LDX #$FF
 1720  FA24  8E 02 F5           STX V24OUT
 1725  FA27  68                 PLA
 1730  FA28  AA                 TAX
 1735  FA29  A5 F3              LDA IBUF
 1740  FA2B  60                 RTS
 1745  FA2C  EA                 NOP
 1750  FA2D                    ;
 1755  FA2D  C9 30       HEXA   CMP #'0          ;KLEINER ALS ASCII "0" ?
 1760  FA2F  30 1D              BMI R2
 1765  FA31  C9 47              CMP #'G          ;GROESSER ALS ASCII "F" ?
 1770  FA33  10 19              BPL R2
 1775  FA35  C9 41              CMP #'A          ;ALPHA-ZEICHEN ?
 1780  FA37  30 03              BMI ZAHL
 1785  FA39  18                 CLC
 1790  FA3A  69 09              ADC #9
 1795  FA3C  0A          ZAHL   ASL A
 1800  FA3D  0A                 ASL A
 1805  FA3E  0A                 ASL A
 1810  FA3F  0A                 ASL A
 1815  FA40  A0 04              LDY #4
 1820  FA42  2A          TRANS  ROL A
 1825  FA43  26 F1              ROL INL
 1830  FA45  26 F2              ROL INH
 1835  FA47  88                 DEY
 1840  FA48  D0 F8              BNE TRANS
 1845  FA4A  A5 F1              LDA INL
 1850  FA4C  A0 00              LDY #0
 1855  FA4E  60          R2     RTS
 1860  FA4F                    ;
 1865  FA4F  A2 06       CARRET LDX #6
 1870  FA51  BD 0B F8    CARET1 LDA TAB1,X
 1875  FA54  20 86 FA           JSR TTYOUT
 1880  FA57  CA                 DEX
 1885  FA58  D0 F7              BNE CARET1
 1890  FA5A  60                 RTS
 1895  FA5B                    ;
 1900  FA5B  20 4F FA    ZEILE  JSR CARRET
 1905  FA5E  A2 03       ZEILE0 LDX #3
 1910  FA60  20 D2 FB           JSR PRTSQ2
 1915  FA63  20 84 FA           JSR SPACE
 1920  FA66  A0 00              LDY #0
 1925  FA68  B1 F7              LDA (ADRL),Y
 1930  FA6A  20 B2 FA           JSR OUTBT
 1935  FA6D  20 84 FA           JSR SPACE
 1940  FA70  20 92 F0           JSR MNEMON
 1945  FA73  A2 00              LDX #0
 1950  FA75  B5 F9       ZEILE1 LDA MNEM1,X
 1955  FA77  20 86 FA           JSR TTYOUT
 1960  FA7A  E8                 INX
 1965  FA7B  E8                 INX
 1970  FA7C  E0 06              CPX #6
```

```
LINE #  LOC   CODE       LINE

 1975  FA7E  D0 F5          BNE ZEILE1
 1980  FA80  20 84 FA       JSR SPACE
 1985  FA83  60             RTS
 1990  FA84                ;
 1995  FA84  A9 20       SPACE  LDA #$20
 2000  FA86  A0 FF       TTYOUT LDY #$FF
 2005  FA88  8C 02 F5          STY V24OUT
 2010  FA8B  20 D8 F9          JSR PAUSE       ;EVENTUELL 11.BIT
 2015  FA8E  C8                INY
 2020  FA8F  EA                .BYTE $EA,$EA
 2020  FA90  EA
 2025  FA91  8C 02 F5          STY V24OUT
 2030  FA94  A0 08             LDY #8
 2035  FA96  20 D8 F9    ASC01  JSR PAUSE
 2040  FA99  4A                LSR A
 2045  FA9A  2E 02 F5          ROL V24OUT
 2050  FA9D  88                DEY
 2055  FA9E  D0 F6             BNE ASC01
 2060  FAA0  A9 FF             LDA #$FF
 2065  FAA2  EA                .BYTE $EA,$EA,$EA
 2065  FAA3  EA
 2065  FAA4  EA
 2070  FAA5  8D 02 F5          STA V24OUT
 2075  FAA8  20 D8 F9          JSR PAUSE       ;PARITAETSBIT
 2080  FAAB  20 D8 F9          JSR PAUSE
 2085  FAAE  60                RTS
 2090  FAAF                ;
 2095  FAAF  20 EB FB    OUTBYT JSR CHECK
 2100  FAB2  48          OUTBT  PHA
 2105  FAB3  4A                LSR A
 2110  FAB4  4A                LSR A
 2115  FAB5  4A                LSR A
 2120  FAB6  4A                LSR A
 2125  FAB7  20 BF FA          JSR HEXOUT
 2130  FABA  68                PLA
 2135  FABB  20 BF FA          JSR HEXOUT
 2140  FABE  60                RTS
 2145  FABF                ;
 2150  FABF  29 0F       HEXOUT AND #$0F        ;NUR LOWER BYTE
 2155  FAC1  C9 0A             CMP #$0A        ;ALPHA-ZEICHEN
 2160  FAC3  18                CLC
 2165  FAC4  30 02             BMI NUMM
 2170  FAC6  69 07             ADC #7
 2175  FAC8  69 30       NUMM  ADC #$30
 2180  FACA  24 E3             BIT TPFLG       ;TAPEAUSG.=FF;TTYAUSG.=00
 2185  FACC  30 04             BMI TAPE
 2190  FACE  20 86 FA          JSR TTYOUT
 2195  FAD1  60                RTS
 2200  FAD2  20 96 FE    TAPE  JSR TAPOUT
 2205  FAD5  60                RTS
 2210  FAD6                ;
 2215  FAD6  A2 00       DISPLY LDX #0
 2220  FAD8  86 FF             STX PUNKT       ;PUNKT LOESCHEN FUER LSD
 2225  FADA  A2 29             LDX #$29
 2230  FADC  24 EE             BIT DSPART
 2235  FADE  50 02             BVC DSP1
 2240  FAE0  C6 FF             DEC PUNKT       ;AUF FF I.E.MINUS
 2245  FAE2  A5 F8       DSP1  LDA ADRH
 2250  FAE4  20 1B FB          JSR LLICHT
 2255  FAE7  20 21 FB          JSR RLICHT
 2260  FAEA  A5 F7             LDA ADRL
```

```
LINE # LOC     CODE       LINE

 2265  FAEC  20 1B FB            JSR LLICHT
 2270  FAEF  20 21 FB            JSR RLICHT
 2275  FAF2  E8                  INX
 2280  FAF3  E8                  INX
 2285  FAF4  A0 00               LDY #0
 2290  FAF6  84 FF               STY PUNKT          ;PUNKT LOESCHEN
 2295  FAF8  B1 F7               LDA (ADRL),Y
 2300  FAFA  24 EE               BIT DSPART
 2305  FAFC  70 02               BVS DSP2
 2310  FAFE  C6 FF               DEC PUNKT          ;PUNKT LOESCHEN
 2315  FB00  24 EE      DSP2     BIT DSPART
 2320  FB02  10 0A               BPL MNDSP
 2325  FB04  20 1B FB            JSR LLICHT
 2330  FB07  20 21 FB            JSR RLICHT
 2335  FB0A  24 EE               BIT DSPART
 2340  FB0C  30 0C               BMI R5
 2345  FB0E  20 92 FD     MNDSP  JSR MNEMON
 2350  FB11  B5 C6       DSP3   LDA $C6,X
 2355  FB13  20 27 FB            JSR MLICHT
 2360  FB16  E0 39               CPX #$39
 2365  FB18  D0 F7               BNE DSP3
 2370  FB1A  60          R5     RTS
 2375  FB1B               ;
 2380  FB1B  85 F4       LLICHT STA OBUF           ;LINKES HALBBYTE DES A NACH
 2385  FB1D  4A                  LSR A              ;          DISPLAY LAUT X
 2390  FB1E  4A                  LSR A
 2395  FB1F  4A                  LSR A
 2400  FB20  4A                  LSR A
 2405  FB21  29 0F       RLICHT AND #$0F
 2410  FB23  A8                  TAY
 2415  FB24  B9,12 F8             LDA TAB2,Y         ;SIEBENSEGM.-TAB. HOLEN
 2420  FB27  24 FF       MLICHT BIT PUNKT
 2425  FB29  10 02               BPL LICHT1
 2430  FB2B  09 80               ORA #%10000000
 2435  FB2D  8D 00 F6     LICHT1 STA PA
 2440  FB30  A0 FF               LDY #$FF
 2445  FB32  8C 01 F6            STY PADD
 2450  FB35  8E 02 F6            STX PB             ;LICHT AN
 2455  FB38  E8                  INX
 2460  FB39  E8                  INX
 2465  FB3A  A0 96               LDY #150
 2470  FB3C  88          WARTEN DEY
 2475  FB3D  D0 FD               BNE WARTEN
 2480  FB3F  A9 3F               LDA #%3F
 2485  FB41  8D 02 F6            STA PB             ;LICHT AUS
 2490  FB44  A9 00               LDA #0
 2495  FB46  8D 01 F6            STA PADD           ;PA WIEDER EINGANG
 2500  FB49  A5 F4               LDA OBUF
 2505  FB4B  60                  RTS
 2510  FB4C               ;
 2515  FB4C  A2 27       TASTEN LDX #$27
 2520  FB4E  8E 02 F6     REIHE  STX PB
 2525  FB51  AD 00 F6            LDA PA             ;SPALTE?
 2530  FB54  49 FF               EOR #$FF           ;INVERTIEREN
 2535  FB56  D0 09               BNE TASTO
 2540  FB58  CA                  DEX
 2545  FB59  CA                  DEX
 2550  FB5A  E0 1F               CPX #$1F
 2555  FB5C  D0 F0               BNE REIHE
 2560  FB5E  A9 19               LDA #$19
 2565  FB60  60                  RTS
```

```
LINE #  LOC   CODE       LINE

 2570  FB61  A0 00     TASTO  LDY #0
 2575  FB63  0A        TAST1  ASL A            ;Y WIRD SPALTENWERT
 2580  FB64  B0 03             BCS WERT
 2585  FB66  C8               INY
 2590  FB67  10 FA             BPL TAST1       ;IMMMER
 2595  FB69  8A        WERT   TXA
 2600  FB6A  29 0F             AND #$0F        ;MASKIERUNG DES TAPE-BITS
 2605  FB6C  4A               LSR A             ;ZEILENWERT/2
 2610  FB6D  AA               TAX
 2615  FB6E  98               TYA
 2620  FB6F  CA        ADB    DEX
 2625  FB70  30 05             BMI R6
 2630  FB72  18               CLC
 2635  FB73  69 08             ADC #8          ;PLUS 8 FUER NAECHSTE REIHE
 2640  FB75  D0 F8             BNE ADB
 2645  FB77  A2 3F     R6      LDX #$3F
 2650  FB79  8E 02 F6          STX PB
 2655  FB7C  60               RTS
 2660  FB7D                   ;
 2665  FB7D  A9 00     DUMP   LDA #0
 2670  FB7F  85 F1             STA INL
 2675  FB81  85 F2             STA INH
 2680  FB83  20 E3 FB  DUMP0  JSR CHKCLR
 2685  FB86  20 4F FA  DUMP1  JSR CARRET
 2690  FB89  A9 3B             LDA #':         ;
 2695  FB8B  20 86 FA          JSR TTYOUT
 2700  FB8E  A5 F7             LDA ADRL
 2705  FB90  CD F2 F7          CMP ENDEL
 2710  FB93  A5 F8             LDA ADRH
 2715  FB95  ED F3 F7          SBC ENDEH
 2720  FB98  90 13             BCC DUMP3
 2725  FB9A  A5 F1             LDA INL         ;ZAHL DER BLOECKE
 2730  FB9C  85 F7             STA ADRL
 2735  FB9E  A5 F2             LDA INH
 2740  FBA0  85 F8             STA ADRH
 2745  FBA2  A9 00             LDA #0          ;LETZTES RECORD
 2750  FBA4  20 CD FB          JSR PRTSEQ      ;MIT 0 IN STARTSEQUENZ GEHEN
 2755  FBA7  20 D8 FB          JSR CHKPRT
 2760  FBAA  4C A1 F8          JMP OTCYC       ;ZURUECK ZUM HAUPTPROG.
 2765  FBAD  A9 18     DUMP3  LDA #$18        ;FUER 24 BYTES
 2770  FBAF  20 CD FB          JSR PRTSEQ
 2775  FBB2  A2 18             LDX #$18
 2780  FBB4  A0 00     DUMP4  LDY #0
 2785  FBB6  B1 F7             LDA (ADRL),Y
 2790  FBB8  20 AF FA          JSR OUTBYT
 2795  FBBB  20 55 FC          JSR INCADR
 2800  FBBE  CA               DEX
 2805  FBBF  D0 F3             BNE DUMP4       ;NOCH NICHT 16 BYTES
 2810  FBC1  20 D8 FB          JSR CHKPRT
 2815  FBC4  E6 F1             INC INL
 2820  FBC6  D0 02             BNE DUMP6
 2825  FBC8  E6 F2             INC INH
 2830  FBCA  4C 83 FB  DUMP6  JMP DUMP0
 2835  FBCD                   ;
 2840  FBCD  A2 03     PRTSEQ LDX #3          ;ACCU STANZEN (=18 ODER =00)
 2845  FBCF  20 AF FA  PRTSQ1 JSR OUTBYT
 2850  FBD2  B5 F5     PRTSQ2 LDA ADRH-3,X
 2855  FBD4  CA               DEX
 2860  FBD5  D0 F8             BNE PRTSQ1
 2865  FBD7  60               RTS
 2870  FBD8                   ;
```

```
LINE # LOC      CODE      LINE

 2875  FBD8  A5 F6       CHKPRT LDA CHECKH
 2880  FBDA  20 B2 FA           JSR OUTBT
 2885  FBDD  A5 F5              LDA CHECKL
 2890  FBDF  20 B2 FA           JSR OUTBT
 2895  FBE2  60                 RTS
 2900  FBE3                    ;
 2905  FBE3  D8                CHKCLR CLD
 2910  FBE4  A9 00              LDA #0
 2915  FBE6  85 F5              STA CHECKL
 2920  FBE8  85 F6              STA CHECKH
 2925  FBEA  60                 RTS
 2930  FBEB                    ;
 2935  FBEB  48                CHECK  PHA
 2940  FBEC  18                 CLC
 2945  FBED  65 F5              ADC CHECKL
 2950  FBEF  85 F5              STA CHECKL
 2955  FBF1  A5 F6              LDA CHECKH
 2960  FBF3  69 00              ADC #0            ;CARRY ?
 2965  FBF5  85 F6              STA CHECKH
 2970  FBF7  68                 PLA
 2975  FBF8  60                 RTS
 2980  FBF9                    ;
 2985  FBF9  20 E3 FB    LADEN  JSR CHKCLR
 2990  FBFC  20 F1 F9    LADEN1 JSR ASCIIN
 2995  FBFF  C9 3B              CMP #';           ; ;WARTEN AUF SEMIKOLON
 3000  FC01  D0 F9              BNE LADEN1
 3005  FC03  20 48 FC           JSR HEXIN
 3010  FC06  20 EB FB           JSR CHECK
 3015  FC09  AA                 TAX               ;ZAHL DER BYTES
 3020  FC0A  20 48 FC           JSR HEXIN
 3025  FC0D  85 F8              STA ADRH
 3030  FC0F  20 EB FB           JSR CHECK
 3035  FC12  20 48 FC           JSR HEXIN
 3040  FC15  85 F7              STA ADRL
 3045  FC17  20 EB FB           JSR CHECK
 3050  FC1A  8A                 TXA
 3055  FC1B  F0 DC              BEQ LADEN
 3060  FC1D  20 48 FC    LADEN2 JSR HEXIN
 3065  FC20  D0 22              BNE ERROR
 3070  FC22  91 F7              STA (ADRL),Y
 3075  FC24  20 EB FB           JSR CHECK
 3080  FC27  20 55 FC           JSR INCADR
 3085  FC2A  CA                 DEX
 3090  FC2B  D0 F0              BNE LADEN2
 3095  FC2D  E8                 INX
 3100  FC2E  20 48 FC    LADEN3 JSR HEXIN
 3105  FC31  C5 F6              CMP CHECKH
 3110  FC33  D0 0F              BNE ERROR
 3115  FC35  20 48 FC           JSR HEXIN
 3120  FC38  C5 F5              CMP CHECKL
 3125  FC3A  D0 08              BNE ERROR
 3130  FC3C  8A                 TXA
 3135  FC3D  D0 BA              BNE LADEN
 3140  FC3F  A2 0B              LDX #11
 3145  FC41  4C 20 F9    LADEN4 JMP MONA1
 3150  FC44  A2 0C        ERROR  LDX #12
 3155  FC46  D0 F9              BNE LADEN4
 3160  FC48                    ;
 3165  FC48  20 F1 F9    HEXIN  JSR ASCIIN
 3170  FC4B  20 2D FA           JSR HEXA
 3175  FC4E  20 F1 F9           JSR ASCIIN
```

Stückliste

Gerät :
Typ : BETA 8
Baugruppe : S. B. CPU M660-1
Liste besteht aus 3 Blatt
Hier : Blatt 3

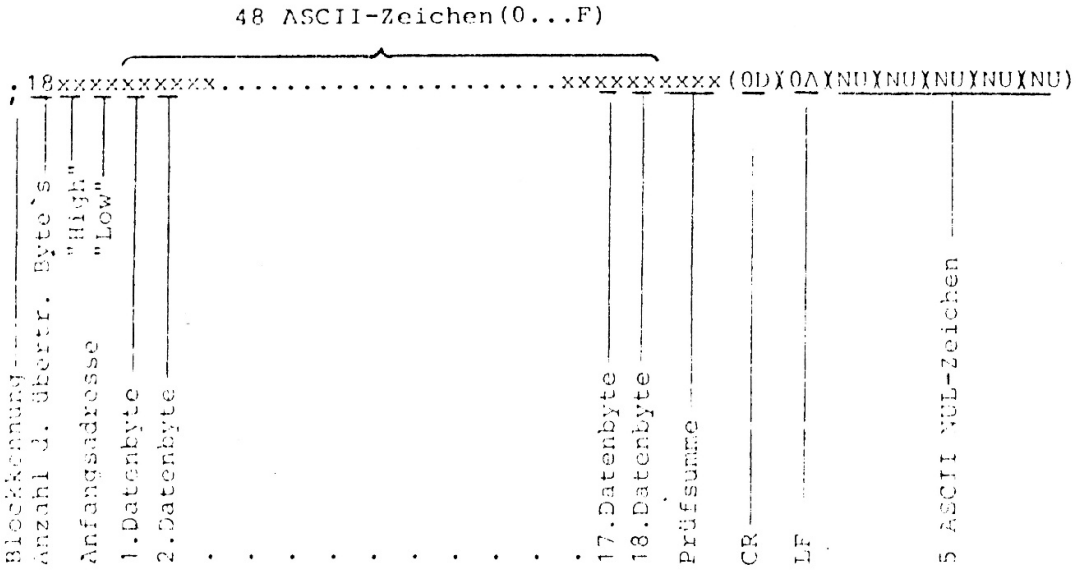
Ausgabedatum : 1-11-78

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	16p. Plattform	CA 16p		
1	14p. Plattform	CA 14p.		
2	Mini Brücke 5mm			
5	Buchsen 2,3			
1	VG Leiste 64p.			
1	Dsub Buchse 25p.	DBP 25SA 7747	Cannon	

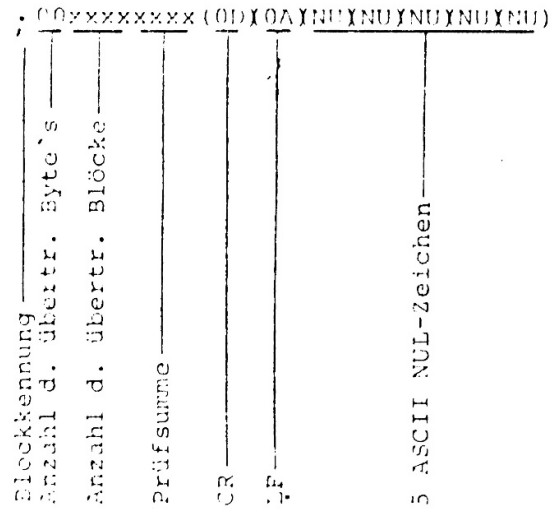
MCS FB028/33

Lochstreifenformat

Block:



Übertragung Ende:



Zusammenfassung :

Nach dem Restart kommt die Systemmeldung MONA wenn RUBOUT oder DELETE betätigt wird. (Dabei automatische Baudratensynchronisation 110 bis 4800 Baud)

SP = Abschluß der Adreßeingabe. Die letzen vier Zeichen werden gelesen. Führende Nullen können weggelassen werden.

. = Abschluß der Dateneingabe. Die Daten unter der gerade angezeigten Adresse können geändert werden. Führende Nullen können weggelassen werden.

CR = Adresse wird um eins erhöht.

LF = Adresse wird um eins erniedrigt.

G = GO.

Q = DUMP Lochstreifen MOS-Code.

L = Lesen Lochstreifen MOS-Code.

RUBOUT oder DELETE = Systemmeldung, automatische Baudratensynchronisation

Baudraten-Tabelle	BAUDL (0050)	BAUDH (0051)
75	60	6E
110	4B	8C
150	53	66
300	3D	32
600	3B	18
1.200	04	0C
2.400	60	04
4.800	4C	01

```
*MCSASM V2.0 ..... PAGE 0001

LINE # LOC      CODE       LINE

 0005  0200                        .PAGE
 0010  0200                        .OPT GENERATE
 0015  0200                ;*****************************************************
 0020  0200                ;     M C S   BERLIN
 0025  0200                ;   BETRIEBSSYSTEM  M O N A  4  FUER ALPHA / BETA
 0030  0200                ;   VERSION MIT USERRESTART UND AUTO-SPEED
 0035  0200                ;*****************************************************
 0040  0200                ;  AUSDRUCK : 6.11.79
 0045  0200                ; 1.10.79
 0050  0200                ; ZEROPAGE ADRESSEN DES BETRIEBSSYSTEMS
 0055  0200                        *=$E3
 0060  00E3                TPFLG   *=*+1
 0065  00E4                ;
 0070  00E4                FREI    *=*+1
 0075  00E5                ZEIT    *=*+1
 0080  00E6                SPDFLG  *=*+1
 0085  00E7                AKKU    *=*+1
 0090  00E8                STPOIN  *=*+1
 0095  00E9                STATUS  *=*+1
 0100  00EA                XSAVE   *=*+1
 0105  00EB                YSAVE   *=*+1
 0110  00EC                Z1      *=*+1
 0115  00ED                Z2      *=*+1
 0120  00EE                DSPART  *=*+1
 0125  00EF                ADL     *=*+1
 0130  00F0                ADH     *=*+1
 0135  00F1                INL     *=*+1
 0140  00F2                INH     *=*+1
 0145  00F3                IBUF    *=*+1
 0150  00F4                OBUF    *=*+1
 0155  00F5                CHECKL  *=*+1
 0160  00F6                CHECKH  *=*+1
 0165  00F7                ADRL    *=*+1
 0170  00F8                ADRH    *=*+1
 0175  00F9                MNEM1   *=*+1
 0180  00FA                FRE01   *=*+1
 0185  00FB                MNEM2   *=*+1
 0190  00FC                FRE02   *=*+1
 0195  00FD                MNEM3   *=*+1
 0200  00FE                COPO    *=*+1
 0205  00FF                PUNKT   *=*+1
 0210  0100
 0215  0100                ;ADRESSEN FUER V24-SCHNITSTELLE:
 0220  0100                        *=$F500
 0225  F500                V24IN   *=*+1
 0230  F501                RSCTRL  *=*+1 RESTART CONTROL
 0235  F502                V24OUT  *=*+1
 0240  F503
 0245  F503                ;ADRESSEN FUER PIA 6532:
 0250  F503                        *=$F600
 0255  F600                PA      *=*+1
 0260  F601                PADD    *=*+1
 0265  F602                PB      *=*+1
 0270  F603                PBDD    *=*+3
 0275  F606                TREAD   *=*+1
 0280  F607                VORBEI  *=*+13
 0285  F614                T1      *=*+2
 0290  F616                T64     *=*+1
 0295  F617                T1024   *=*+1
 0300  F618                OFFSET =$F500
```

```
LINE # LOC     CODE       LINE

 0305  F618               IRQH   =$F7FF
 0310  F618               IRQL   =$F7FE
 0315  F618               NMIH   =$F7FD
 0320  F618               NMIL   =$F7FA
 0325  F618               TAHIGH =$F7F9
 0330  F618               TALOW  =$F7F8
 0335  F618               TASTE  =$F7F7
 0340  F618               BAUDH  =$F7F6
 0345  F618               BAUDL  =$F7F5
 0350  F618               ID     =$F7F4
 0355  F618               ENDEH  =$F7F3
 0360  F618               ENDEL  =$F7F2
 0365  F618               STRTH  =$F7F1
 0370  F618               STRTL  =$F7F0
 0375  F618               ECHO   =$F7EF
 0380  F618               RSUSER =$7FFE
 0385  F618               ; BEGIN
 0390  F618                      *=$F800
 0395  F800  6C FA F7            JMP (NMIL)
 0400  F803  6C FE F7            JMP (IRQL)
 0405  F806  20 41       TABD    .BYTE ' ANOM'
 0405  F808  4E 4F 4D
 0410  F80B  00          TAB1    .BYTE $00,$00,$00,$00,$0D,$0A,$00
 0410  F80C  00
 0410  F80D  00
 0410  F80E  00
 0410  F80F  00
 0410  F810  0A
 0410  F811  00
 0415  F812  3F          TAB2    .BYTE $3F,$06,$5B,$4F,$66,$6D,$7D,$07
 0415  F813  06
 0415  F814  5B
 0415  F815  4F
 0415  F816  66
 0415  F817  6D
 0415  F818  7D
 0415  F819  07
 0420  F81A  7F                  .BYTE $7F,$6F,$77,$7C,$39,$5E,$79,$71
 0420  F81B  6F
 0420  F81C  77
 0420  F81D  7C
 0420  F81E  39
 0420  F81F  5E
 0420  F820  79
 0420  F821  71
 0425  F822  A2 FF       RESTRT  LDX #$FF
 0430  F824  9A                  TXS
 0435  F825  2C 01 F5            BIT PSCTRL
 0440  F828  30 03               BMI RSMONA
 0445  F82A  6C FE 7F            JMP (RSUSER)
 0450  F82D  86 E8       RSMONA  STX STPOIN
 0455  F82F  E8                  INX
 0460  F830  86 E9               STX STATUS
 0465  F832  86 E6               STX SPDFLG      ;SPEED UNCERTAIN!
 0470  F834  A9 06               LDA #6
 0475  F836  85 FA               STA FRE@1
 0480  F838  A9 09               LDA #9
 0485  F83A  85 FC               STA FRE@2
 0490  F83C  A2 F9               LDX #$F9
 0495  F83E  8E F9 F7            STX TAHIGH      ; TASTE=$FF FOR ROM
 0500  F841  CA                  DEX
```

```
LINE #  LOC   CODE       LINE

 0505  F842  8E FB F7          STX NMIH
 0510  F845  8E FF F7          STX IR@H
 0515  F848  A9 52             LDA #$52
 0520  F84A  8D FA F7          STA NMIL          ; VEKTOREN ZEIGEN AUF STOP
 0525  F84D  8D FE F7          STA IR@L
 0530  F850  D0 16             BNE STP
 0535  F852  85 E7       STOP  STA AKKU          ; STOP EINGANG ACCU RETTEN
 0540  F854  68                PLA
 0545  F855  85 E9             STA STATUS
 0550  F857  68                PLA
 0555  F858  85 EF             STA ADL           ; RETTEN DER BENUTZER-ADRESSE
 0560  F85A  85 F7             STA ADRL
 0565  F85C  68                PLA
 0570  F85D  85 F0             STA ADH
 0575  F85F  85 F8             STA ADRH
 0580  F861  86 EA             STX XSAVE
 0585  F863  84 EB             STY YSAVE
 0590  F865  BA                TSX
 0595  F866  86 E8             STX STP01N
 0600  F868  A9 FF       STP   LDA #$FF          ;PORT INITIALISIEREN
 0605  F86A  8D 02 F5          STA V24OUT
 0610  F86D  EA                .BYTE $EA,$EA,$EA
 0615  F86E  EA
 0620  F86F  EA
 0625  F870  A9 00             LDA #0
 0630  F872  8D EF F7          STA ECHO
 0635  F875  EA                .BYTE $EA,$EA,$EA
 0640  F876  EA
 0645  F877  EA
 0650  F878  48                PHA
 0655  F879  28                PLP
 0660  F87A  4C 07 F9          JMP TTY           ;TASTATUR NICHT ANGESCHLOSSEN !
 0665  F87D
 0670  F87D
 0675  F87D
 0680  F87D  50 1A             BVC DISP
 0685  F87F  85 E5       SLOWST STA ZEIT
 0690  F881  2C 00 F6          BIT PA            ; TTY-BETRIEB?
 0695  F884  70 05             BVS SLOW1
 0700  F886  20 5B FA          JSR ZEILE         ; EINE ZEILE DRUCKEN
 0705  F889  D0 09             BNE SLOWGO
 0710  F88B  20 D6 FA    SLOW1 JSR DISPLY
 0715  F88E  EA                NOP
 0720  F88F  EA                NOP
 0725  F890  C6 E5             DEC ZEIT
 0730  F892  D0 F7             BNE SLOW1
 0735  F894  2C 02 F6    SLOWGO BIT PB
 0740  F897  70 58             BVS GO
 0745  F899  A9 C0       DISP  LDA #%11000000    ; Z=1:HEXA  , V=1:ADR
 0750  F89B  85 EE             STA DSPART
 0755  F89D  85 E5             STA ZEIT
 0760  F89F  E6 E5       TZ    INC ZEIT
 0765  F8A1  4C 07 F9    DTCYC JMP TTY           ; DISPLAY-ZYCLUS
 0770  F8A4  50 61             BVC TTY
 0775  F8A6  20 D6 FA          JSR DISPLY
 0780  F8A9  20 4C FB          JSR TASTEN
 0785  F8AC  C9 19             CMP #$19          ;WENN ZERO=0 KEINE TASTE
 0790  F8AE  D0 04             BNE NOCH
 0795  F8B0  A9 0A             LDA #10           ;ENTPRELLZEIT
 0800  F8B2  85 E5             STA ZEIT
 0805  F8B4  C6 E5       NOCH  DEC ZEIT          ; TASTE NOCH GEDRUECKT
```

```
LINE # LOC   CODE       LINE

 0790  F8B6  30 E7              BMI TZ
 0795  F8B8  D0 E7              BNE DTCYC
 0800  F8BA  C9 10              CMP #16
 0805  F8BC  10 25              BPL FUNK        ; FUNKTIONSTASTE
 0810  F8BE  0A                 ASL A
 0815  F8BF  0A                 ASL A
 0820  F8C0  0A                 ASL A
 0825  F8C1  0A                 ASL A
 0830  F8C2  8D F7 F7           STA TASTE
 0835  F8C5  A2 04              LDX #4
 0840  F8C7  A0 00              LDY #0
 0845  F8C9  24 EE        ART   BIT DSPART
 0850  F8CB  70 0E              BVS ADRES
 0855  F8CD  B1 F7        DATA  LDA (ADRL),Y
 0860  F8CF  0E F7 F7           ASL TASTE
 0865  F8D2  2A                 ROL A
 0870  F8D3  91 F7              STA (ADRL),Y
 0875  F8D5  CA            DATA1 DEX
 0880  F8D6  D0 F1              BNE ART
 0885  F8D8  4C A1 F8      CYCEND JMP DTCYC
 0890  F8DB  0A            ADRES ASL A
 0895  F8DC  26 F7              ROL ADRL
 0900  F8DE  26 F8              ROL ADRH
 0905  F8E0  4C D5 F8           JMP DATA1
 0910  F8E3  C9 18        FUNK  CMP #F15        ;TASTE GO
 0915  F8E5  F0 0D              BEQ GO
 0920  F8E7  0A                 ASL A
 0925  F8E8  29 0F              AND #$0F        ;MASKIERUNG HIGH
 0930  F8EA  18                 CLC
 0935  F8EB  69 94              ADC #TSATZ-OFFSET  ;OFFSET-MONA TASTEN
 0940  F8ED  8D F8 F7           STA TALOW
 0945  F8F0  38                 SEC
 0950  F8F1  6C F8 F7           JMP (TALOW)
 0955  F8F4                 ;
 0960  F8F4  A6 E8        GO    LDX STPOIN      ; HOLE STACKPOINTER DES BENUTZER-
 0965  F8F6                 ;                    REGISTER
 0970  F8F6  9A                 TXS
 0975  F8F7  A5 F8              LDA ADRH
 0980  F8F9  48                 PHA
 0985  F8FA  A5 F7              LDA ADRL
 0990  F8FC  48                 PHA
 0995  F8FD  A5 E9              LDA STATUS
 1000  F8FF  48                 PHA
 1005  F900  A6 EA              LDX XSAVE
 1010  F902  A4 EB              LDY YSAVE
 1015  F904  A5 E7              LDA ACCU
 1020  F906  40                 RTI             ; SPRUNG ZUM BENUTZER-PROGRAM
 1025  F907                 ;
 1030  F907  A5 E6        TTY   LDA SPUFLG
 1035  F909  D0 DA              BNE TTYOK
 1040  F90B  20 B0 FF           JSR SPUCTL
 1045  F90E  A9 FF              LDA #$FF
 1050  F910  85 E6              STA SPUFLG
 1055  F912  EA                 NOP
 1060  F913  EA                 NOP
 1065  F914  EA                 NOP
 1070  F915  A9 00        TTYOK LDA #0
 1075  F917  85 E3              STA TPFLG
 1080  F919  2C EF F7           BIT ECHO
 1085  F91C  30 0D              BMI TT;O
 1090  F91E  A0 08        MONA  LDY #11
```

32x8 PROM

PROM-TYP	82S123	
INT. BEZ.	SB-CPU Dek. 1 f. MONA4	

ADRESSE							
Nr.	A4	A3	A2	A1	A0	A_H	A_L
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F

AUSGANG										
H	G	F	E	D	C	B	A	$H	$L
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
					X				
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
					X				
						X			
			D.2 A3	D.2 A4	Anwend.	Monitor	Daten		

MCS	By	DEK1/1M4	X ≙ L

32×8 PROM

PROM-TYP	82S123	
INT. BEZ.	SB-CPU Dok. 2 f. MONA4	

ADRESSE							
Nr.	A4	A3	A2	A1	A0	A_H	A_L
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F

AUSGANG										
H	G	F	E	D	C	B	A	$H	$L
				X					
							X		
						X	X		

32x8 PROM

PROM-TYP	82S123	
INT. BEZ.	Single Board CPU Dok. 2	

ADRESSE							
Nr.	A4	A3	A2	A1	A0	$AH	$AL
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F
	D Dek1	E Dek1	A10	A9	A8		

AUSGANG										
H	G	F	E	D	C	B	A	$H	$L
						X	X		
						X	X		
				X					
							X		
					X				
					X				
					X				
					X				
			Aueg"Adr	Commu.	I/OSEL	RS	I/O 32		

Änderung vorbehalten

MCS	By/Se	Dek2/1S0	X≙ L

32x8 PROM

PROM-TYP	M28123	
INT. BEZ.	Single Board CPU M660	

ADRESSE							
Nr.	A4	A3	A2	A1	A0	$AH	$AL
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F
	A15	A14	A13	A12	A11		

AUSGANG										
H	G	F	E	D	C	B	A	$H	$L
			X	X					
			X				X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
					X				
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
							X		
				X					
						X			
			A3Dek2	A4Dek2	Anwend.	Monitor	Daten		

Änderung vorbehalten

MCS	By/St	DEK1/1Si	X≙ L

32x8 PROM

PROM-TYP	82S123	660-1
INT. BEZ.	Steuer-PROM 1 S. B. CPU	

ADRESSE								
Nr.	A4	A3	A2	A1	A0	A_H	A_L	
0	0	0	0	0	0		0	
1					1		1	
2				1	0		2	
3				1	1		3	
4			1	0	0		4	
5			1	0	1		5	
6			1	1	0		6	
7			1	1	1		7	
8		1	0	0	0		8	
9		1	0	0	1		9	
10		1	0	1	0		A	
11		1	0	1	1		B	
12		1	1	0	0		C	
13		1	1	0	1		D	
14		1	1	1	0		E	
15		1	1	1	1		F	
16	1	0	0	0	0	1	0	
17	1	0	0	0	1	1	1	
18	1	0	0	1	0	1	2	
19	1	0	0	1	1	1	3	
20	1	0	1	0	0	1	4	
21	1	0	1	0	1	1	5	
22	1	0	1	1	0	1	6	
23	1	0	1	1	1	1	7	
24	1	1	0	0	0	1	8	
25	1	1	0	0	1	1	9	
26	1	1	0	1	0	1	A	
27	1	1	0	1	1	1	B	
28	1	1	1	0	0	1	C	
29	1	1	1	0	1	1	D	
30	1	1	1	1	0	1	E	
31	1	1	1	1	1	1	F	
	—	HOLDACK	ADI Sel.	R/$\overline{W}$	$\overline{\Phi 2}$			

AUSGANG									
H	G	F	E	D	C	B	A	S_H	S_L
						X			
						X			
						X	X		
						X			
						X			
						X			
						X			
						X			
						X			
						X			
						X			
						X			
						X			
						Driver	Receiver		

MCS	Br	St-PR 1	X≙L

Stückliste

Gerät :
Typ : BETA 8
Baugruppe : S. B. CPU M660-1
Liste besteht aus 3 Blatt
Hier : Blatt 1

Ausgabedatum : 1.11.78

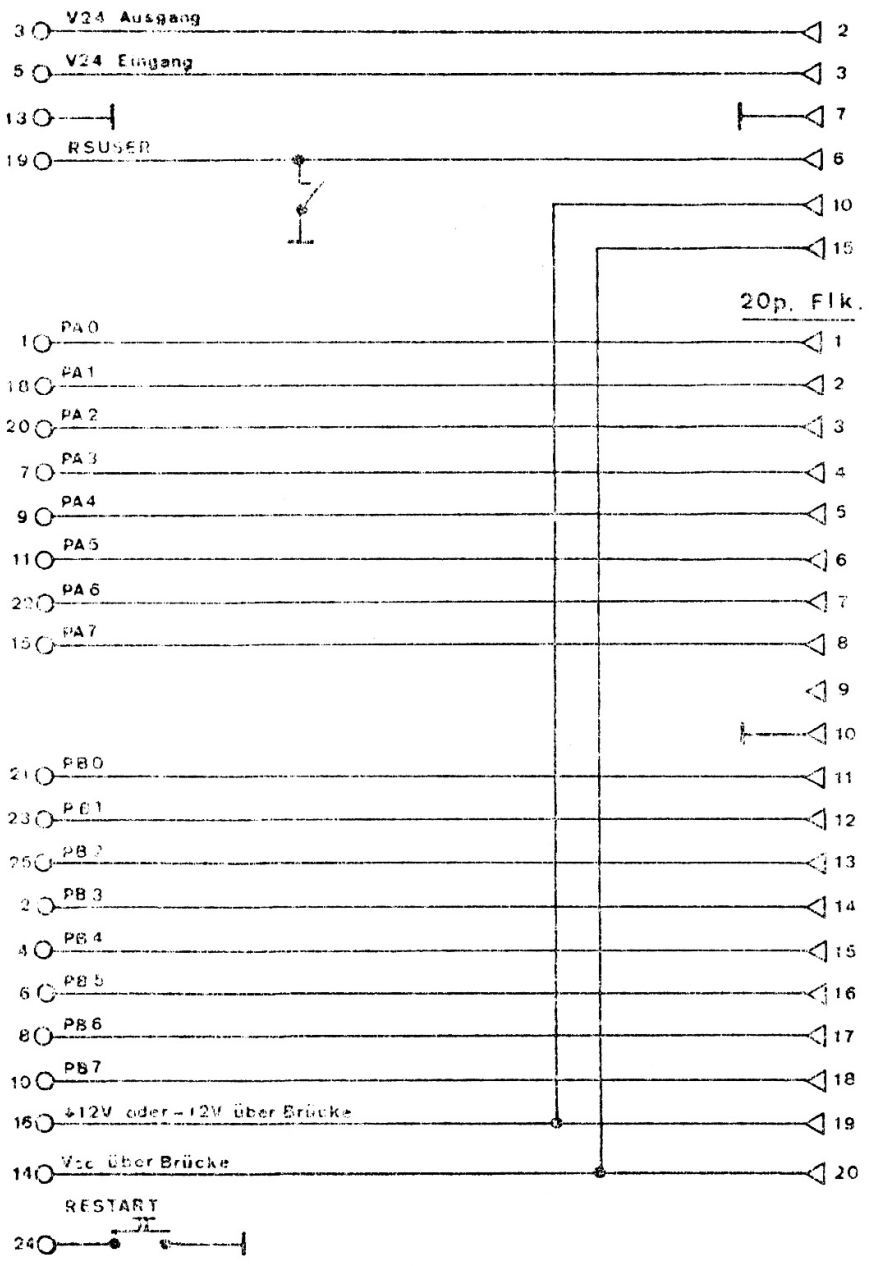
Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	Leiterplatte 660-1			
2	Widerstand 100			
1	Widerstand 1K			
12	Widerstand 3K3			
3	Widerstand 10K			
1	Widerstand 560			
1	Widerstand 100K			
1	Widerstand 560K			
1	WIderstand 1M			
4	Diode iN4148			
1	Zenerdiode ZF6,8			
2	Kondensator 10pF			
3	Kondensator 10nF			
1	Kondensator 15nF			
2	KOndensator 330nF			
3	KOndensator 470nF			
1	Kondensator 1uF			
2	KOndensator 220uF			
1	Kondensator 100nF			

Stückliste

Gerät :
Typ : BETA 8
Baugruppe : S.B. CPU M660-1
Liste besteht aus 3 Blatt
Hier : Blatt 2

Ausgabedatum : 1-11-78

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	74LS04			
1	74LS75			
2	8T26			
4	8T97			
1	8T09			
4	PROM 82S123			
1	NE555			
1	Optokoppler IL-1			(SU45)
1	Prozessor 6502			
1	PIA 6532			
1	EPROM T2716			
2	8 polige Sockel			
3	14 polige Sockel			
12	16 " "			
2	24 " "			
2	40 " "			
2	Transistor BC238			
1	Quarz 1MHz			
2	isoliere Scheibe			



MCS	Frontplatte Single Board CPU M 661		
	N: By	NR: 040	K:

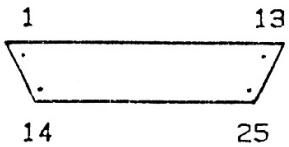
DSub - Stecker/Buchse 25polig

Spez. Bez. Single Board CPU M660

PIN	BELEGUNG	BEM.
1	PA0	
2	Ausgang V24 (D0)	
3	Eingang V24 (D7)	
4	PA3	
5	PA4	
6	PA5	
7	GND	
8	PA7	
9	Ausgang Reserve (D1)	
10	Eing. Reserve (D6) RSUSER	
11	PB0	
12	PB1	
13	PB2	
14	PB3	
15	PB4	
16	PB5	
17	PB6	
18	PB7	
19	Ausgang "Adresse"	
20	Vcc über Brücke	
21	+12V oder -12V ü. Brü.	
22	PA1	
23	PA2	
24	PA6	
25	RESET	

Änderung vorbehalten

Stecker - Sicht auf die Steckseite



Anschlusszuordnung : Single Board CPU

PIN	a	c
1		
2		
3	PWRFAIL	
4	+12V	+12V
5	-12V	-12V
6	+5V [Vcc]	+5V [Vcc]
7	GND	GND
8	GND	GND
9		
10		
11		
12	PR6 (R2)	
13	RESERVE	SYN
14	I/O-SEL	
15	R/W	RDY
16	Φ2	Φ1
17	IRQ-REQ	
18	NMI	RESET
19		HOLDACK
20	DB7	DB6
21	DB5	DB4
22	DB3	DB2
23	DB1	DBØ
24		
25	AB15	AB14
26	AB13	AB12
27	AB11	AB1Ø
28	AB 9	AB 8
29	AB 7	AB 6
30	AB 5	AB 4
31	AB 3	AB 2
32	AB 1	AB Ø

Änderung vorbehalten

VG 64pol [96pol. Geh.]
VG 95324
DIN 41612

M 660

MCS-FB 020 /13

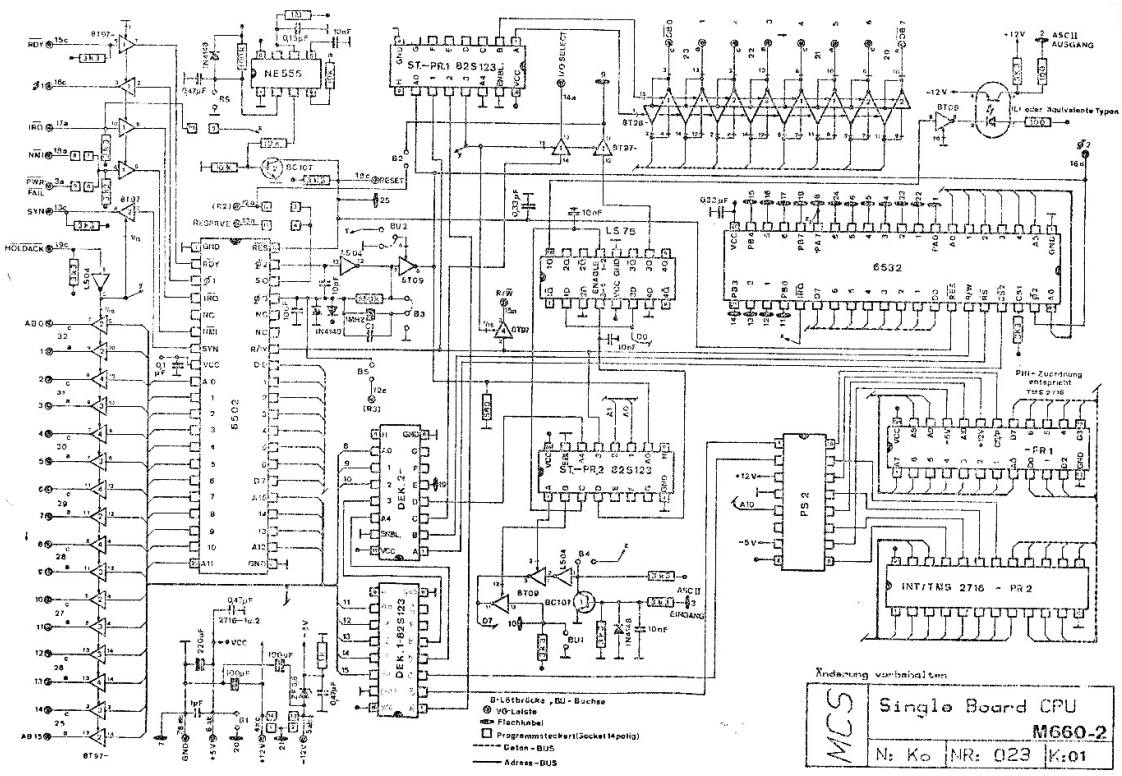
32×8 PROM

PROM-TYP	82S123	660-1
INT. BEZ.	Steuer-PROM 2 S. B. CPU	

ADRESSE							
Nr.	A4	A3	A2	A1	A0	A_H	A_L
0	0	0	0	0	0		0
1					1		1
2				1	0		2
3				1	1		3
4			1	0	0		4
5			1	0	1		5
6			1	1	0		6
7			1	1	1		7
8		1	0	0	0		8
9		1	0	0	1		9
10		1	0	1	0		A
11		1	0	1	1		B
12		1	1	0	0		C
13		1	1	0	1		D
14		1	1	1	0		E
15		1	1	1	1		F
16	1	0	0	0	0	1	0
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	2
19	1	0	0	1	1	1	3
20	1	0	1	0	0	1	4
21	1	0	1	0	1	1	5
22	1	0	1	1	0	1	6
23	1	0	1	1	1	1	7
24	1	1	0	0	0	1	8
25	1	1	0	0	1	1	9
26	1	1	0	1	0	1	A
27	1	1	0	1	1	1	B
28	1	1	1	0	0	1	C
29	1	1	1	0	1	1	D
30	1	1	1	1	0	1	E
31	1	1	1	1	1	1	F
	CD11 Sel	R/$\overline{W}$	A1	A0	$\overline{\Phi 2}$		

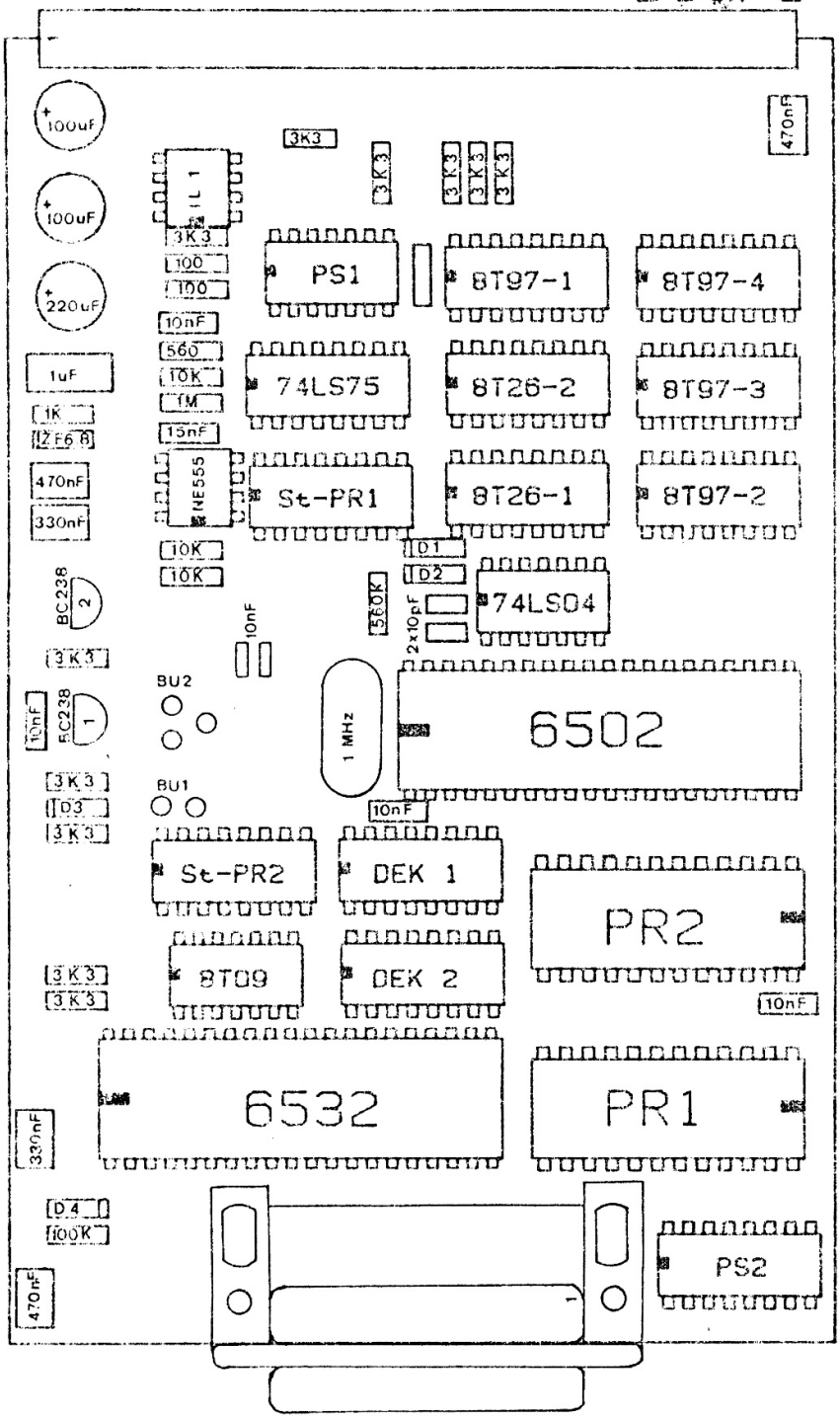
AUSGANG										
H	G	F	E	D	C	B	A	Φ_H	Φ_L
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X					
				X	X				
					X				
				X	X				
				X	X		X		
				X	X				
				X	X	X			
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
				X	X				
Reserve Ausgang				Serielle Ausgang		Anwender Eingang		Serielle Eingang		

MCS	Br.	St. PR 2	X ≙ L


6502
6532
NE555
SC107
BC107
LS75
LS04
LS14
DEK.1-82S123
DEK.2-
ST.-PR1 82S123
-PR2 82S123
-PR1
INT/TMS 2716 - PR2
PS2
ASCII AUSGANG
ASCII EINGANG
I/O SELECT
RESET
HOLDACK
SYN
RDY
IRQ
NMI
PWR FAIL
R/W
Änderung vorbehalten
MCS
Single Board CPU
M660-2
N: Ko
NR: 023
K:01

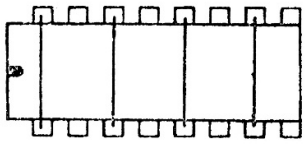
Bestückungsplan : Si gle Board CPU

M660-1



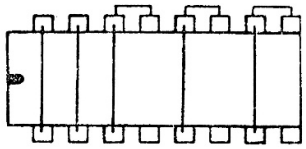
MCS	N:By	NR: 052	K:01

Sockelbelegung für versch. EPROM-Typen



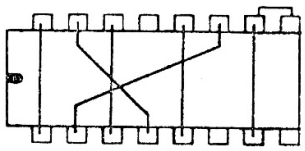
MONA 3 2K EPROM TMS 2716

ohne 2. EPROM



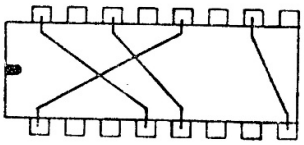
MONA 3 2K EPROM TMS 2716

2. EPROM 2K TMS 2716



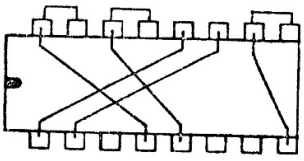
MONA 3 2K EPROM TMS 2716

2. EPROM 1K TMS 2708



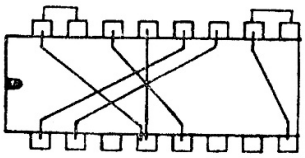
MONA 3 2K EPROM Intel 2716

ohne 2. EPROM



MONA 3 2K EPROM Intel 2716

2. EPROM Intel 2716



MONA 3 2K EPROM Intel 2716

2. EPROM Intel 2758

Datenformat der Lochstreifenroutine

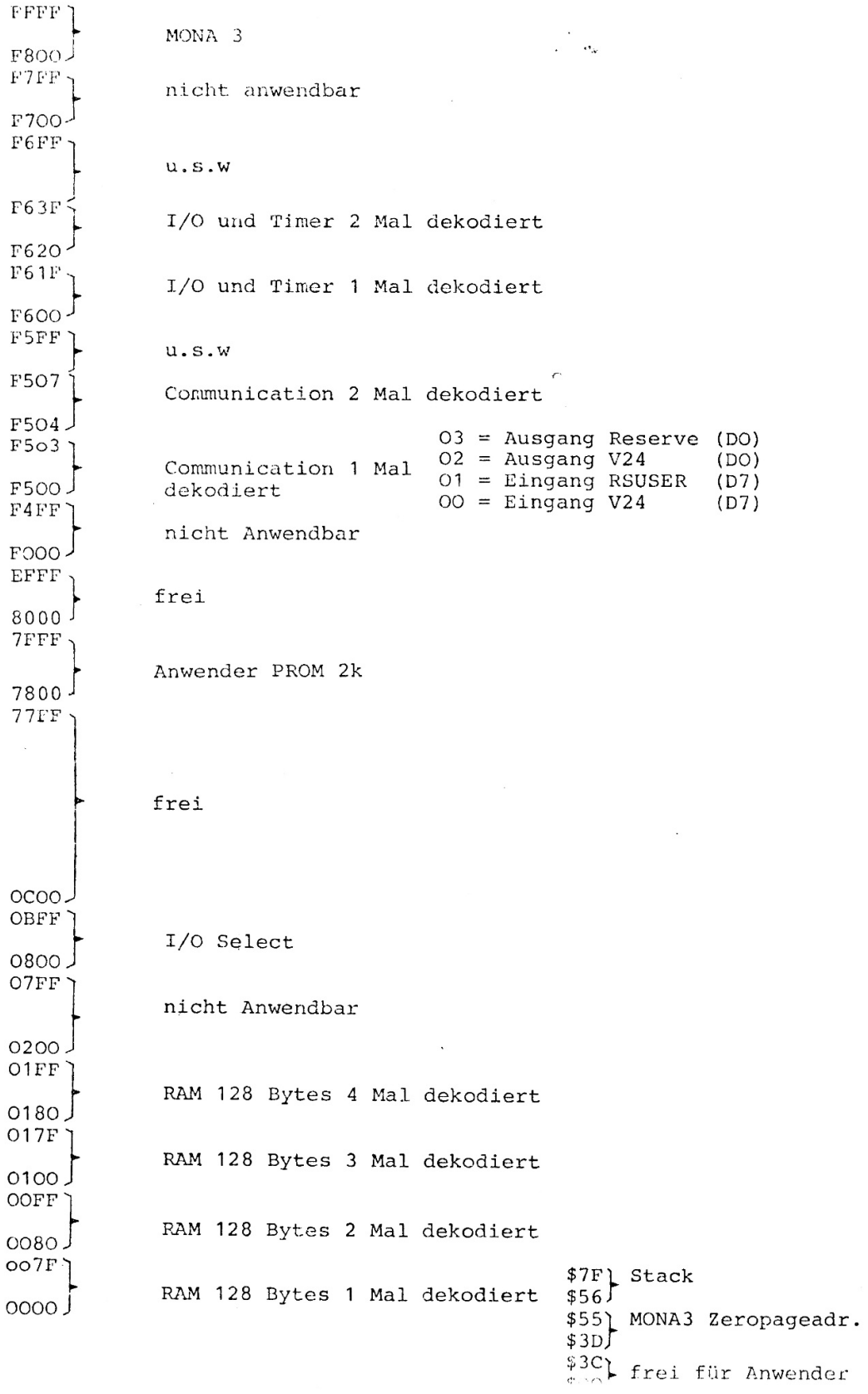
Das Stanzen und Lesen von Lochstreifen wird über die serielle Schnittstelle durchgeführt. Die Daten werden im Folgenden Format übertragen:

Jede 8 Bit (1Byte) breite Date wird in zwei 4-Bit Daten zerlegt. Jede dieser zwei hexadezimalen Zahlen wird dann als entsprechendes ASCII-Zeichen (0....F) interpretiert und ausgestanzt. Beim Lesen ist es umgekehrt.

Die Daten können nur als Blöcke zu 48 ASCII-Zeichen, das entspricht 24 Byte, gestanzt bzw. gelesen werden. Jeder dieser Blöcke beginnt mit einem ";". Das Leseprogramm ignoriert alle ankommenden Zeichen bis es zum ersten Mal ein ";" erkennt.

Nun folgt die Anzahl der zu übertragenden Byte's in Hexadezimal (18). Die nächsten 4 Zeichen (Adressbyte "high", Adressbyte "low") bezeichnen die Adresse des ersten zu übertragenden Byte's, unter der es steht bzw. abgelegt werden soll.

Nach den 48 Zeichen folgt eine vierstellige Prüfsumme (2 Byte) die sich aus der hexadezimalen Addition aller Zeichen außer dem ";" ergibt. Diese Prüfsumme wird beim Lesen ausgewertet. Den Abschluß eines Block's bilden ein Wagenrücklauf (CR = Carriage Return), ein Zeilenvorschub (LF = Line Feed) und 5 ASCII-Nullzeichen. Den Abschluß der Übertragung von einem oder mehreren Blöcken wird durch einen Block gekennzeichnet, der keine Daten enthält. Nach dem ";" steht also 00. Die folgenden 4 Zeichen (2 Byte's) geben die Anzahl der übertragenen Blöcke an. Danach folgt wieder die Prüfsumme, ein CR und ein LF.


FFFF
F800
MONA 3
F7FF
F700
nicht anwendbar
F6FF
u.s.w
F63F
F620
I/O und Timer 2 Mal dekodiert
F61F
F600
I/O und Timer 1 Mal dekodiert
F5FF
u.s.w
F507
F504
Communication 2 Mal dekodiert
F503
F500
Communication 1 Mal dekodiert
03 = Ausgang Reserve (DO)
02 = Ausgang V24 (DO)
01 = Eingang RSUSER (D7)
00 = Eingang V24 (D7)
F4FF
F000
nicht Anwendbar
EFFF
8000
frei
7FFF
7800
Anwender PROM 2k
77FF
0C00
frei
0BFF
0800
I/O Select
07FF
0200
nicht Anwendbar
01FF
0180
RAM 128 Bytes 4 Mal dekodiert
017F
0100
RAM 128 Bytes 3 Mal dekodiert
00FF
0080
RAM 128 Bytes 2 Mal dekodiert
007F
0000
RAM 128 Bytes 1 Mal dekodiert
$7F
$56
Stack
$55
$3D
MONA3 Zeropageadr.
$3C
frei für Anwender

MONA3 Zeropage-Adressen :

$55	IRQH	
$54	IRQL	
$53	NMIH	
$52	NMIL	
$51	BAUDH	
$50	BAUDL	
$4F	CHECKH	
$4E	CHECKL	
$4D	OBUF	
$4C	IBUF	
$4B	ADRH	
$4A	ADRL	
$49	INH	
$48	INL	
$47	ADH	
$46	ADL	
$45	YSAVE	
$44	XSAVE	
$43	STATUS	
$42	STPOIN	
$41	AKKU	
$40	SPDFLG	
$3F	ENDEH	für Lochstreifenroutine
$3E	ENDEL	
$3D	:Hilfsvariable	

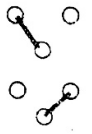
Belegungen PS1, B1- B4 und BU1, BU2

(Beschreibung gilt für eingelegte Brücke)

PS1

1/14	12V auf Pin 21 DSub	alternativ
2/13	-12V auf Pin 21 DSub	
3/12	SO auf Pin 12a MCS-BUS (bei eingelegter B2 auf Pin 9 BSub)	
4/11	SO auf Pin 13a MCS-BUS	
5/10	PIA-IRQ auf MCS- BUS	
6/9	PWR-FAIL vom BUS auf NMI-Prozessor	
7/8	NMI vom BUS auf NMI-Prozessor	

BU1 RS-USER bei Restart

BU2  Φ2 unbeeinflußt durch HOLD-ACK

 Φ2 wird bei HOLD-ACK gesperrt

B1-B5

B1	Vcc an DSub Pin 20
B2	Reserve Ausgang auf 12a MCS-BUS
B3	Φ Serie/Parallel (links normal)
B4	ASII-IRQ über PA7 6532
B5	ΦO auf 12c MCS-BUS

Hinweis :

Für die Beschreibung der Brücken wird davon ausgegangen, daß die Karte mit der Bestückungsseite nach oben, VG-Leiste rechts und COM-Stecker links vor Ihnen liegt.

Durch die Verwendung von Dekoderproms bei der Adressdekodierung ist eine variable Anwendung der Karte gewährleistet. So ist es z. B. möglich durch eine RAM-Karte den unteren RAM-Bereich zu erweitern und die 128 Byte auf F780 zu dekodieren.
Damit ist gewährleistet, daß alle Betriebsprogramme, Editor-Assembler, Basic, Floppy Disc, EPROM-Programmer usw. in Verbindung mit der Single Board CPU laufen können.

Standardmäßig ist der freie Sockel auf die Adressen 7800 - 7FFF (30k - 32k) dekodiert. Auf Wunsch kann jede andere Adresse (in 2K Stufen) geliefert werden.
Der I/O-Select ist in 2K Stufen programmierbar (für M631).
Diverse Löt- und Steckbrücken vervollständigen das technische Konzept der Single Board CPU M660.

Technische Daten

Kartenformat	:	100 x 160 mm Europakarte
Anschluß	:	indirekt steckbar über 64 pol. VG Leiste DIN 41 612 Peripherieanschluß über 25pol. Dsub-Buchse
Anschlußbelegung:		VG-Anschluß: MCS-BUS kompatibel Dsub Buchse: siehe Anschlußplan
Versorgung	:	+ 5 V (ca. 600mA) evtl. + 12 V (50 mA) und - 12 V (20 mA)

MICRONIC COMPUTER SYSTEME GMBH

M660

Single Board CPU 6502

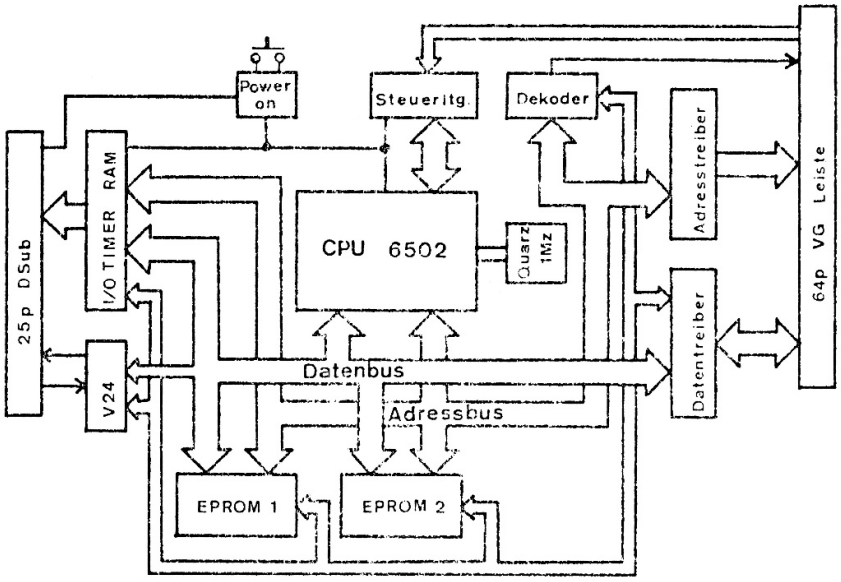
Betriebsanleitung

Ausgabe
Dez. 79

Zentralflughafen Tempelhof
Tempelhofer Damm 45
1000 Berlin 42

Telefon: 030/690 94 94/95
Telex: 0184 187 vocod

SINGLE BOARD CPU M660



Die Single Board CPU M660 ist ein weiterer Baustein der BETA8-Familie. Der im Europaformat (100 x 160 mm) aufgebaute "Einkarten-Microcomputer" arbeitet mit dem Microprocessor 6502 von Rockwell, MOS-Technology und Synertek. Der Systemtakt wird von einem 1 MHz Quarz abgeleitet. Alle Daten, Adressen und Steuersignale sind über Treiber an eine 64 p. VG-Leiste (DIN 41 612 a + c bestückt) geführt. Durch diesen MCS-BUS-Anschluß kann der Microcomputer neben eigenen Schaltungen problemlos mit allen Komponenten des BETA8-Systems erweitert werden.
Alle ICs auf der Karte sind wie bei allen Modulen des BETA-Systems gesockelt.
Eine V24-Serienschnittstelle gestattet den Dialog mit einem Terminal (bis 4.800 Baud).

Dem Anwender stehen außer einem programmierbaren Timer 16 freiprogrammierbare Ein- / Ausgangsleitungen zur Verfügung. Diese E/A-Kanäle, die V24-Schnittstelle, die Versorgungsspannungen (wählbar), die Restart und RSUSER-Steuerleitungen sind an eine 25pol. DSub-Buchse geführt. Mit dem Anschluß der Frontplatte M661 werden die Signale aufgeteilt in einem V24-Normstecker, eine Taste für den Restart, einen RSUSER-Schalter und einem Applikationsanschluß, der dem des Microcomputer ALPHA1 entspricht. Dadurch ist der problemlose Anschluß der I/O-Tester M 655 und M 647 gewährleistet. Mit diesem I/O-Tester kann man Peripherieanschlüsse simulieren, was eine Parallelentwicklung von Software und Peripheriehardware gestattet.

Die Karte besitzt eine Power-On-Restart-Schaltung (zwei Lötpunkte auf der Karte ermöglichen den Anschluß einer Restart-Taste) und einen Eingang RSUSER (durch eine Steckbrücke auf der Karte oder den Schalter auf der Frontplatte setzbar).
Der RSUSER-Eingang gestattet es, trotz vorhandenem Betriebssystem, nach einem Restart automatisch eine Adresse im Anwenderprogramm anzuspringen. Dies ist besonders für autonome Systeme wichtig, bei denen es zwar möglich sein soll mit dem Betriebssystem zu arbeiten, die aber sonst ohne externen Engriff laufen sollen.

Zwei freie 24pol. Sockel erlauben den Einsatz von 1 oder 2K EPROMS.
Die Auswahl des EPROM Typs Texas 2708, 2716 oder Intel 2758, 2716 erfolgt für jeden Sockel einzeln durch Drahtbrücken auf einer 16pol. Plattform, die auf einen Sockel gesteckt wird. Durch die Verwendung von + 5 V-EPROMs besteht die Möglichkeit die CPU-Karte nur mit 5 V zu versorgen. Die V24-Schnittstelle wird dann zu einer TTL-Schnittstelle. Alle EPROM-Typen können mit der EPROM-Programmiereinheit M643 programmiert werden.

Serienmäßig wird die Single Board CPU mit dem Betriebssystem MONA3 in einem 2K-EPROM (Texas 2716) geliefert (auf Wunsch Intel 2716 mit + 5 V). MONA3 hat eine Routine für automatische Baudratenerkennungen (bis 4.800 Baud), so daß mechanisches Umschalten entfällt. Weiterhin bietet MONA3 diverse Editiermöglichkeiten. Durch den Disassembler wird der Hexacode auch in Mnemonic dargestellt. Das Setzen von beliebig vielen Breakpoints ist möglich und bei jedem Stop werden automatisch die Kopien der internen Processorregister gebildet und in der Zero Page abgelegt (Adresse 0041 .... 0047).
Das Lesen und Stanzen von 8 Kanal ASCII-Lochstreifen ist möglich.
Alle MONA Routinen sind als Unterroutinen verwendbar.
Die Einstiegspunkte für die Routinen sind gleich denen von MONA2, so daß Programme die z. B. auf dem Entwicklungssystem BETA8-E1 erstellt wurden ohne Änderung auf der Single Board CPU laufen können. MONA3 belegt 25 Byte in der Zero Page (siehe Tabelle)

Die auf der Karte befindlichen 128 Bytes RAM sind so dekodiert, daß sie in dem unteren 2 Seiten (0000 - 01FF) viermal angesprochen werden können. Damit ist erreicht worden, daß der Stack von 1FF abwärts und die Zero Page von 0000 aufwärts benutzbar sind (siehe Tabelle).

RSUSER - Funktion

Eine Steckbrücke auf der Karte oder bei der Frontplatte M 661 der Schalter RSUSER, bietet die Möglichkeit nach einem Restart sofort ein Anwenderprogramm anlaufen zu lassen.
MONA 3 fragt sofort nach einem Restart diese Brücke/Schalter ab. Ist diese Funktion gewählt,so führt MONA einen indirekten Sprung über die Adressen 7FFE (AdrL) und 7FFF (AdrH) aus. unter diesen Adressen muß die Anfangsadresse des Anwenderprogramms stehen.
Mit dieser Funktion besteht die Möglichkeit ein System aufzubauen, das nach einem Restart oder Netzausfall (Power On Restart) sofort das Anwenderprogramm ausführt, ohne daß ein Eingriff von außen (Terminal) notwendig ist.

Hinweis:

Da MONA 3 bei einem RSUSER-Sprung keine Initialisierung durchführt, muß diese am Anfang des Anwenderprogramms geschehen.

Bedienungsanleitung Single Board CPU M660 (mit Terminal)

MONA3 besitzt ein Unterprogramm, das die Baudrate eines Terminals ausmißt und abspeichert. Nach jedem RESTART muß zuerst die Rubout oder Delete gedrückt werden, dann meldet sich das Betriebssystem mit :

MONA XXXX YY

Hierbei bedeutet -X- eine Adresse, -Y- ist die zu dieser Adresse gehörende Date in Hexadezimal.

Bedienung

Die Betätigung der Spacetaste(Leertaste) -SP- beendet die Adresseingabe, d. h. die zuletzt gewählten Zeichen (0:...F) werden als Adresse interpretiert. Da keine führenden Nullen eingegeben werden brauchen, bedeutet die Betätigung nur dieser Taste, daß die Adresse Null angewählt wurde. Die Darstellung ist

0000 YY

Die Betätigung der Punkttaste -.- beendet die Dateneingabe, d. h. die zwei zuletzt gewählten Zeichen (0....F) werden als Date interpretiert. Gleichzeitig wird die Adresse um "eins" erhöht (inkrementiert). Da auch bei der Dateneingabe keine führenden Nullen eingegeben werden müssen, bedeutet die Betätigung nur dieser Taste, daß in die gerade angewählte Adresse der Inhalt Null geschrieben wird. Die Darstellung ist :

0000 Y_1Y_1 (vor Betätigung von -.-)

0001 Y_2Y_2 (nach Betätigung von -.-)

In Adresse 0000 steht jetzt die Date 00 (Betätigen Sie die SP-Taste für diese Kontrolle)

Bei Betätigung der Carriagereturn-Taste (Wagenrücklauf)-CR- wird die Adresse um eins erhöht, ohne Beeinflussung der Daten.

Manche Datenterminals haben den Kombinationsbefehl -CRLF- (Carriagereturn-Linefeed = Wagenrücklauf und Zeilenwechsel), dieser kann ebenfalls hierfür benutzt werden.

Bei Betätigung der Linefeedtaste (Zeilenwechsel) wird die angezeigte Adresse um eins erniedrigt (dekrementiert).

Die Taste -G- startet ein Programm mit der Adresse, die vorher angewählt wurde.

Mit der Taste -Q- wird die Ausgabe eines Lochstreifens eingeleitet. Zuvor muß die Endadresse der Daten unter 003F = Adressbyte "Low" und unter 003E = Adressbyte "High" abgelegt werden.
Wählen Sie nun die Anfangsadresse der zu stanzenden Daten und drücken Sie -Q-.

Die Taste -L- startet die Leseroutine für Lochstreifen. Die Startadresse, unter der die ersten Daten abgelegt werden sollen, wird vom Lochstreifen übernommen.

Delete oder Rubout veranlaßt MONA sich auf die gesuchte Baudrate zu synchronisieren und die Systemmeldung zu senden. Vorher geschriebene Daten werden ignoriert.

a. Lochstreifen

Stanzen

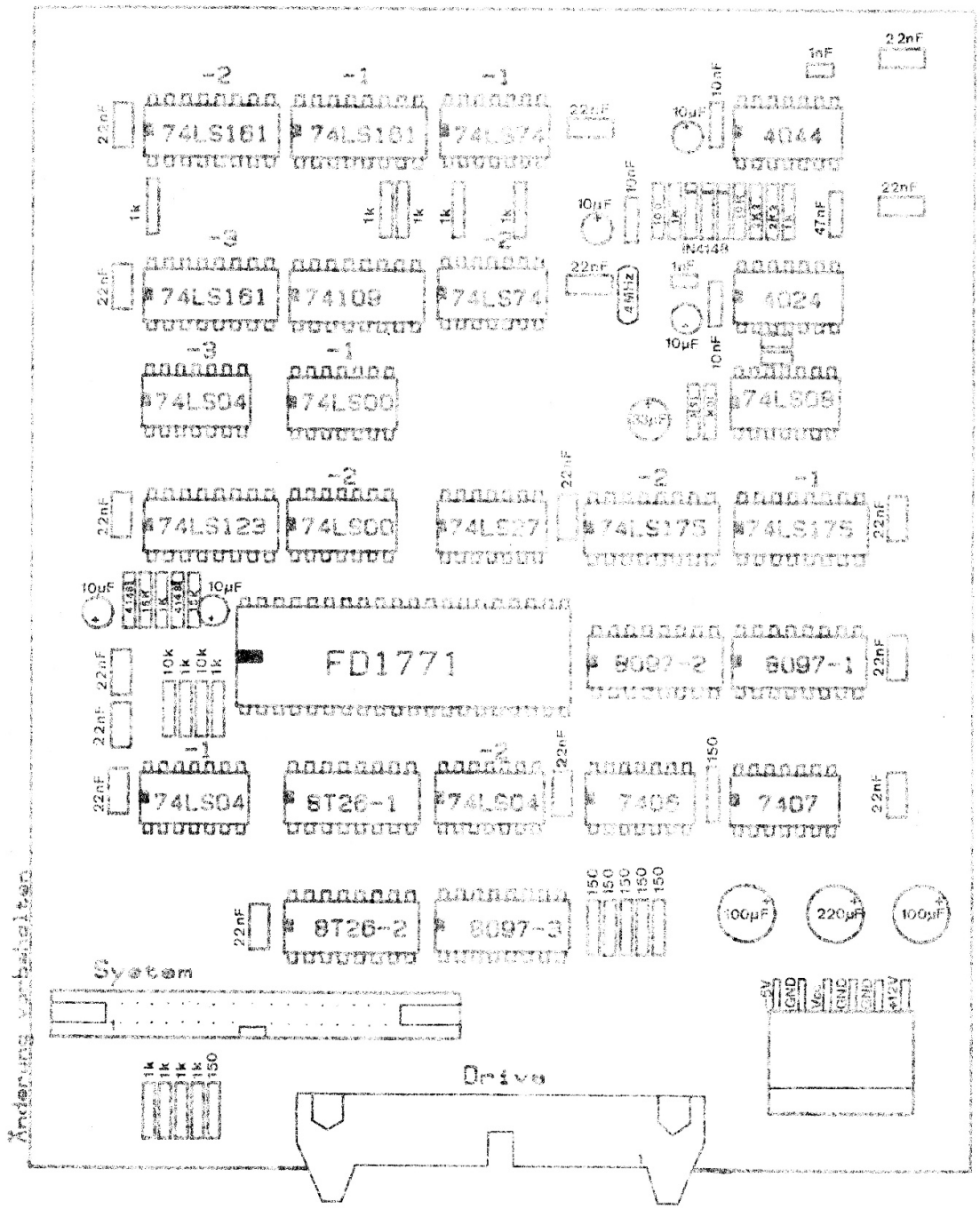
im Betrieb mit einem Terminal können Sie auch Lochstreifen stanzen. Geben Sie die letzte zu stanzende Adresse nach 003E/003F, wählen Sie die erste zu stanzende Adresse an und drückeh Sie Q auf die Tastatur.

Laden

Drücken Sie "L" auf der Tastatur und starten Sie den Lochstreifen. Wenn ein Fehler auftritt, meldet sich "MONA" mit einem Fragezeichen.

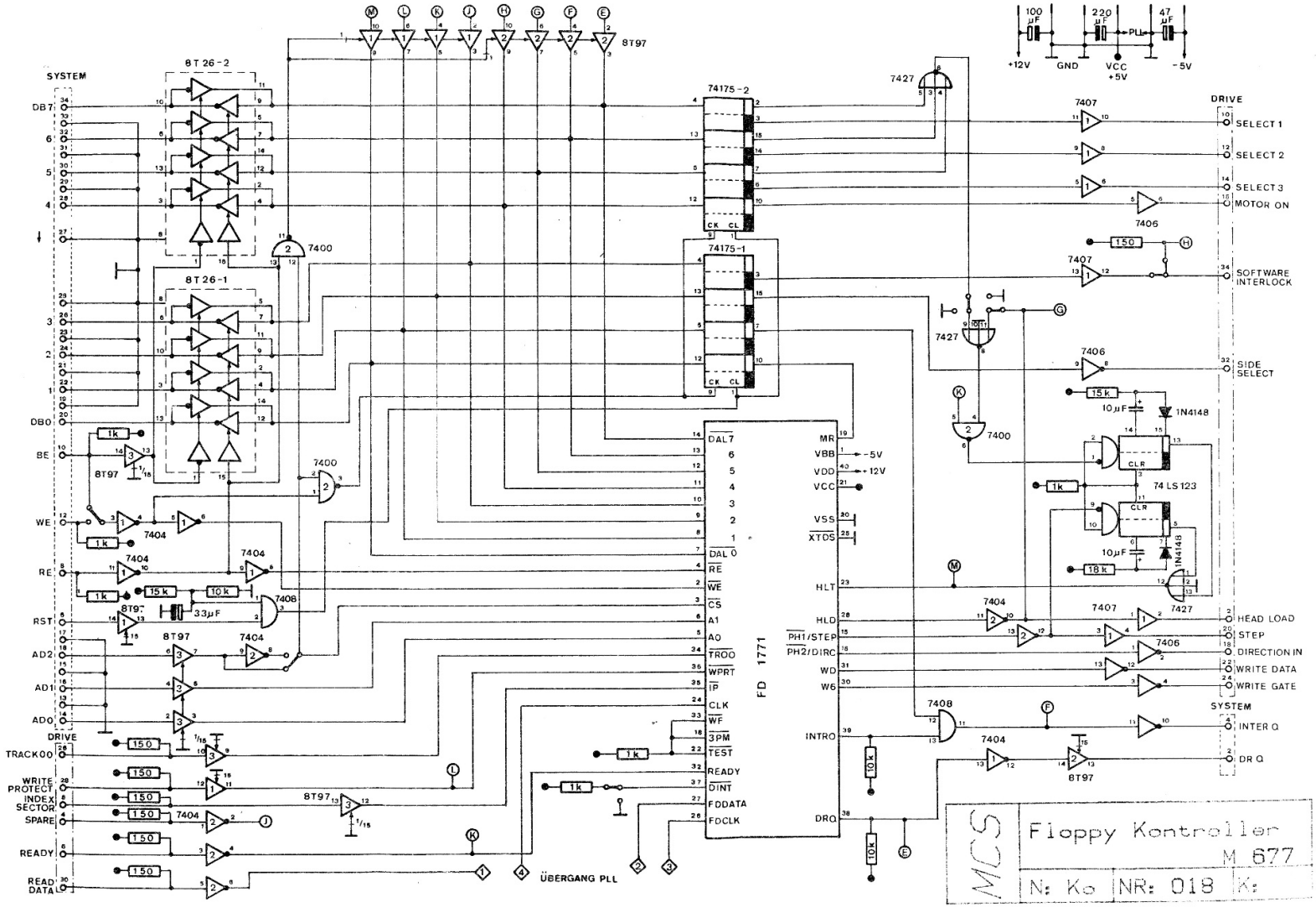
M677 FloppyController 7Jun1978

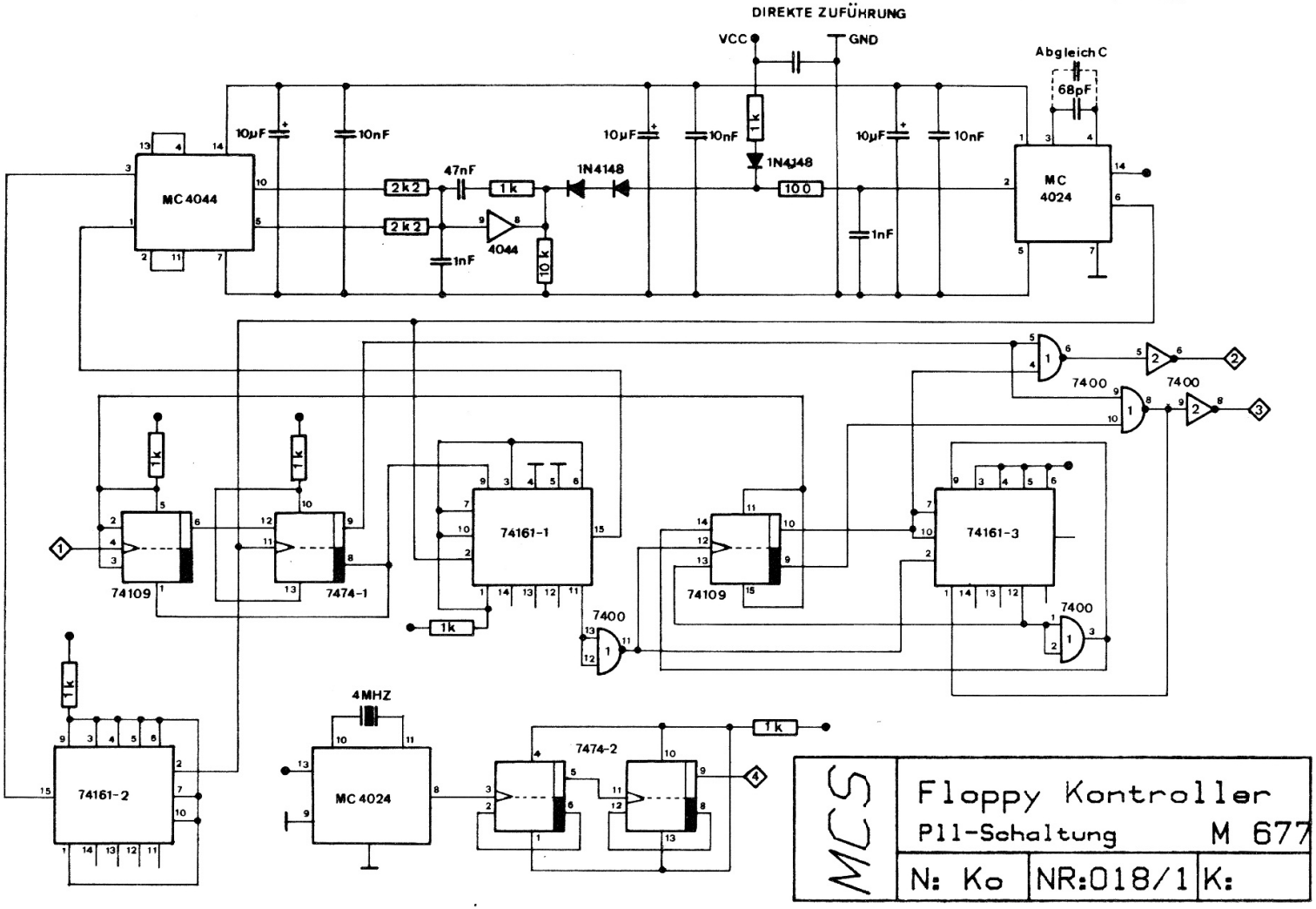
Bestückungsplan : Floppy Controller



M 677

MCS	Nr. By	NR: 030	K:


SYSTEM
DRIVE
8T26-2
8T26-1
74175-2
74175-1
8T97
7400
7404
7406
7407
7408
7427
74 LS 123
FD 1771
DB7
DB0
BE
WE
RE
RST
AD2
AD1
AD0
TRACK00
WRITE PROTECT
INDEX
SECTOR
SPARE
READY
READ DATA
SELECT 1
SELECT 2
SELECT 3
MOTOR ON
SOFTWARE INTERLOCK
SIDE SELECT
HEAD LOAD
STEP
DIRECTION IN
WRITE DATA
WRITE GATE
INTER Q
DR Q
ÜBERGANG PLL
+12V
GND
VCC +5V
-5V
Floppy Kontroller
M 677
N: Ko
NR: 018
K:


DIREKTE ZUFÜHRUNG
VCC
GND
Abgleich C
68pF
MC 4044
10µF
10nF
47nF
2k2
1k
1N4148
100
1nF
4044
10k
MC 4024
7400
74109
7474-1
74161-1
74161-3
74161-2
4MHZ
MC 4024
7474-2
MCS
Floppy Kontroller
P11-Schaltung
M 677
N: Ko
NR:018/1
K:

BASF AG
Werk Willstätt,
Gerätebau

Konfigurationsliste / Configurationlist

(Control register of hardware)

Blatt 1 von 1
Page of

8878.- 016
Rev. 01

Modell/Model: 6106 | Gerät/Drive: 88 101- 201 | Serien-Nr./Serial No. | Kontr./Inspection: 439 | Datum/Date:

Nr. No.	Teile-Nr. Part No.	Benennung Description	Übertrag Transfer	Änderungsstand Revision level (CS)
01	88101-201	Assy,Disk Drive		01
02	88100-001	Assy,Disk Drive Basic		01
03				
04				
05	80928-001	Assy,R/W Logic		02
06	80926-001	Assy,Control Logic		04
06a				-
07				
08	88072-001	Grundplatte/Spindel,Kpl		01
09	88073-001	Frontgehäuse,Kpl		01
10	88065-001	Ladehebel,Kpl		01
11	88071-001	Schritt-Motor,Kpl VSII		01
12		Schritt-Motor,Kpl VSIII		
13	88075-001	Kopfschlitten,Kpl		01
14	88063-001	Spiralrad,Kpl		01
15				
16				
17				
18	88152-001	Antriebsmotor,Kpl		01
19				
20	88078-001	Hubmagnet,Kpl		02
21				
22				
23				
24				
25				
26				
27				
28				

Bemerkungen/Remarks: Nr.11,05,06 für Gerät-20'.

		Entwicklungsmuster	Prod. Freigabe
Geräte-Änderungsstand Modification level (OAS)		0	1
Änderungsmitteilung / ECN			
Eingebaut ab Serien-Nr. Incorporated S/N			201 VI
Lowest operational level (LOL)			

DAUT AG
Mark Willstätt,
Gerätebau

Konfigurationsliste / Configurationlist

(Control register of shippable documents).

Blatt 2 von 1
Page of

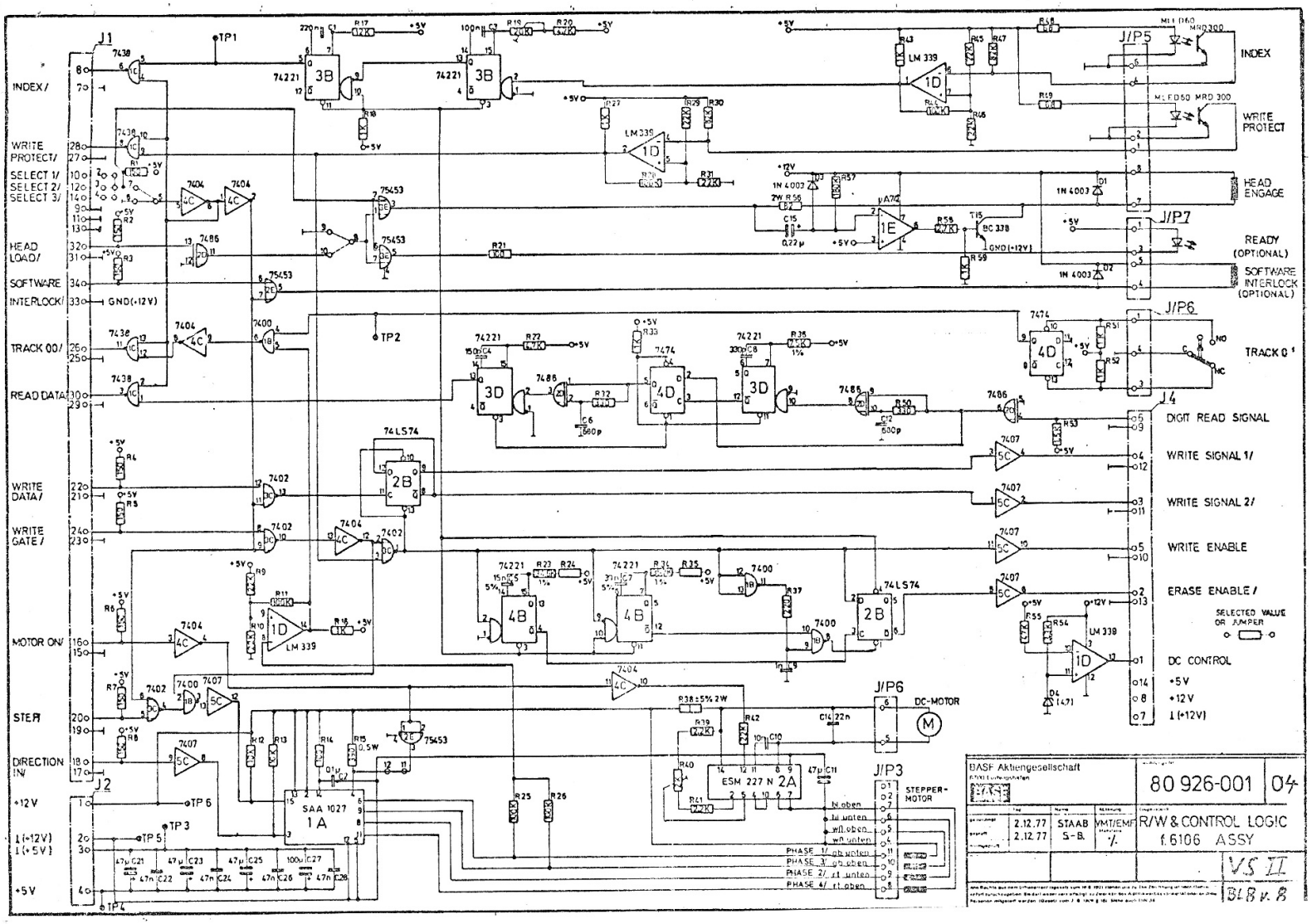
Nummer ...
80583-017
Rev. 01

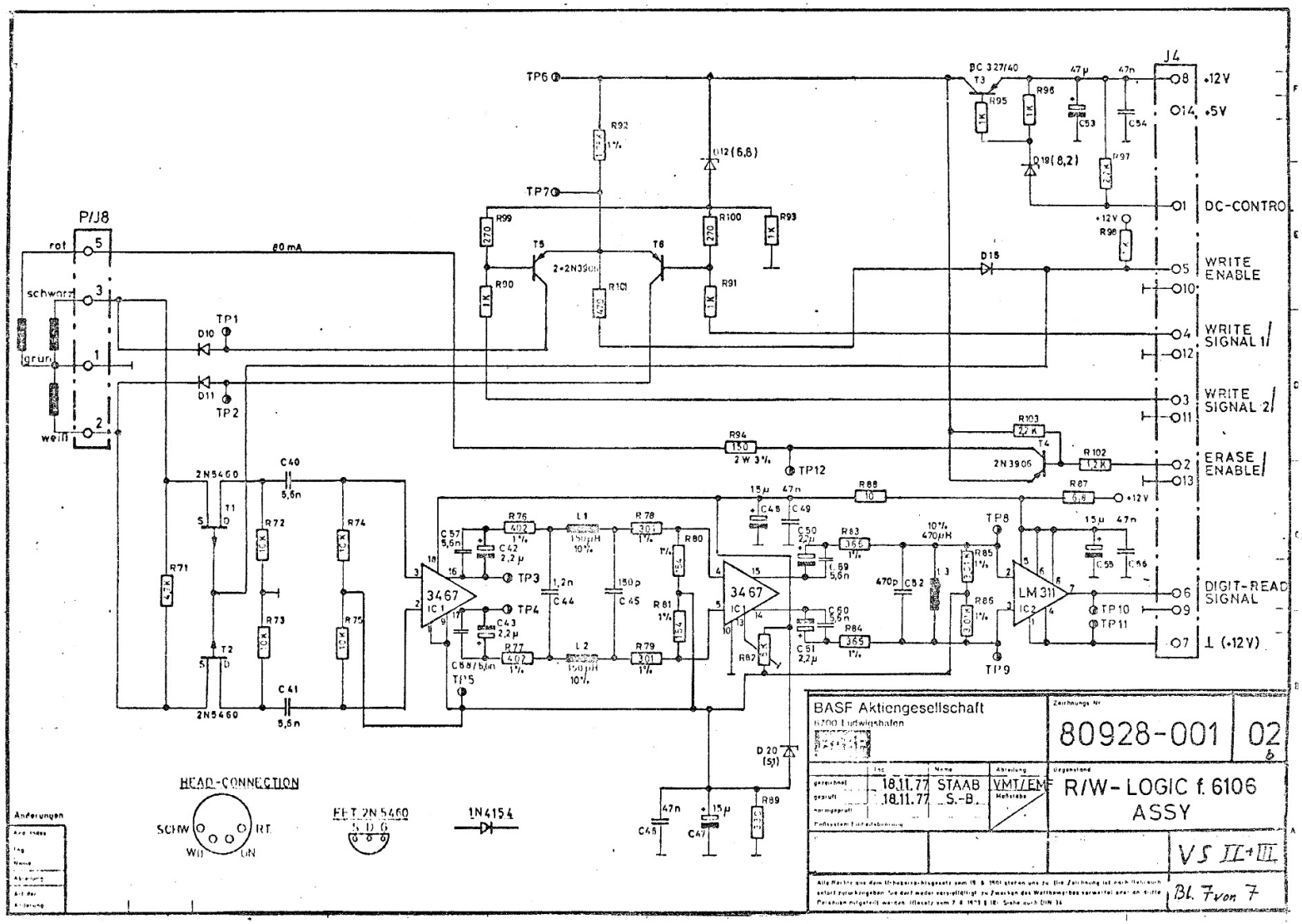
Modell/Model: 6106	Gerät/Drive: 88 101-201	Serien-Nr./Serial No.	Kontr./Inspection: ASB	Datum/Date:

Nr. No.	Teile-Nr. Part No.	Benennung Description	Übertrag Transfer	Änderungsstand Revision level (CS)
01	80928-001	Schema R/W Logic		02
02	80926-001	Schema Control Logic		04
03				-
04				
05				
06				
07				
08				
09				
10	80583-016	Konfiliste		01

Bemerkungen/Remarks: Nr.01,02 für Gerät -201.

Geräte-Änderungsstand Modification level (OAS)		0	1
Änderungsmitteilung / ECN		Entwicklungsmuster	Prod.-Freigabe
Eingebaut ab Serien-Nr. Incorporated S/N			V/
Lowest operational level (LOL)			


J1
INDEX/
WRITE PROTECT/
SELECT 1/
SELECT 2/
SELECT 3/
HEAD LOAD/
SOFTWARE INTERLOCK/
TRACK 00/
READ DATA/
WRITE DATA/
WRITE GATE/
MOTOR ON/
STEP
DIRECTION IN/
+12V
⊥(+12V)
⊥(+5V)
+5V
GND(-12V)
J2
J/P5
INDEX
WRITE PROTECT
HEAD ENGAGE
J/P7
READY (OPTIONAL)
SOFTWARE INTERLOCK (OPTIONAL)
J/P6
TRACK 0
J4
DIGIT READ SIGNAL
WRITE SIGNAL 1/
WRITE SIGNAL 2/
WRITE ENABLE
ERASE ENABLE/
SELECTED VALUE OR JUMPER
DC CONTROL
+5V
+12V
⊥(+12V)
J/P6
DC-MOTOR
J/P3
STEPPER-MOTOR
PHASE 1/ gb unten
PHASE 3/ gb oben
PHASE 2/ rt unten
PHASE 4/ rt oben
SAA 1027 1A
ESM 227 N 2A
LM 339
74LS74
BASF Aktiengesellschaft
80 926-001
04
2.12.77
STAAB
VMT/EMF
R/W & CONTROL LOGIC
f.6106 ASSY
VS II
BLB v. B



BASF Aktiengesellschaft
6700 Ludwigshafen

	Tag	Name	Abteilung
gezeichnet	18.11.77	STAAB	VMT/EM
geprüft	18.11.77	S.-B.	

Zeichnungs-Nr. 80928-001 02 b

Gegenstand: R/W-LOGIC f. 6106 ASSY

VS II+III

Bl. 7 von 7

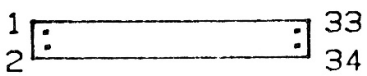
Änderungen

Flachkabel - Stecker/Buchse 34polig

Spez. Bez. Floppy Controller "System" M 677

PIN	BELEGUNG	BEM.
1		
2	DRQ	
3		
4	INTERQ	
5		
6	RST	
7		
8	RE	
9		
10	BE	
11		
12	WE	
13	GND	
14	AD0	
15	GND	
16	AD1	
17	GND	
18	AD2	
19	GND	
20	DB0	
21	GND	
22	DB1	
23	GND	
24	DB2	
25	GND	
26	DB3	
27	GND	
28	DB4	
29	GND	
30	DB5	
31	GND	
32	DB6	
33	GND	
34	DB7	

▼ zeigt auf P1 - die rote Leitung führt an P1



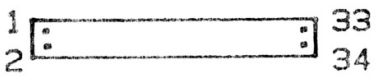
Flachkabel - Stecker/Buchse 34polig

Spez. Bez. Floppy Controller "Drive" M 677

M 700

PIN	BELEGUNG	BEM.
1		
2	Head load	
3		
4	Spare	
5		
6	Ready	
7		
8	Index Sektor	
9		
10	Select 1	
11		
12	Select 2	
13		
14	Select 3	
15		
16	Motor on	
17		
18	Direction IN	
19		
20	Step	
21		
22	Write Data	
23		
24	Write Gate	
25		
26	Track Ø	
27		
28	Write Protect	
29		
30	Read DAta	
31		
32	Side Select	
33		
34	Software Interlock	

▼ zeigt auf P1 - die rote Leitung führt an P1



Stückliste

Gerät :
Typ : Floppy Disk
Baugruppe : Floppy-Controller M677
Liste besteht aus 3 Blatt
Hier : Blatt 1

Ausgabedatum : 7-6-78

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	Platine M677			
1	Widerstand 100			
7	Widerstand 15o			
14	Widerstand 1K			
2	Widerstand 2k2			
4	Widerstand 10k			
2	Widerstand 15K			
1	Widerstand 18K			
5	Diode 1N4148			
2	74LS00			
3	74LS04			
1	74LS06			
1	74LS07			
1	74LS08			
1	74LS27			
2	74LS74			
1	74LS109			
1	74LS123			
3	74LS161			

Stückliste

Gerät :
Typ : Floppy Disk
Baugruppe : Floppy Controller M677
Liste besteht aus 3 Blatt
Hier : Blatt 2

Ausgabedatum : 7-6-78

Stückzahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
2	74LS175			
2	8026			
3	8097			
1	4024			
1	4044			
1	FD1771			
13	Sockel 14p.			
12	Sockel 16p.			
1	Sockel 40p.			
1	Kondensator 68pF			
2	Kondensator 1nF			
3	Kondensator 10nF			
16	Kondensator 22nF			
1	Kondensator 47nF			
5	Kondensator 10uF			
1	KOndensator 33uF			
2	Kondensator 100uF			
1	Kondensator 220uF			
1	Quarz 4MHz			

Stückliste

Gerät :
Typ : Floppy Disk
Baugruppe : Floppy-Controller
Liste besteht aus 3 Blatt
Hier : Blatt 3

Ausgabedatum : 7-6-78

Stück zahl	Bezeichnung	Bestell-Nr.	Firma	Bem.
1	Stecker 6p.		AMP	
2	Stecker Flk. 34p.	3431	3M	

M687 AD-Wandler

Programmierung der AD-Wandlerkarte M687

Der auf der Karte M687 enthaltene AD-Wandler-Baustein ADC 0816 enthält einen 8-Bit-Wandler und einen 16-Kanal-Multiplexer.

Zum Auslesen eines Kanales müssen prinzipiell folgende Schritte unternommen werden:

1.) Anwahl des auszulesenden Kanales
2.) Warten, bis die Umwandlung beendet ist
    (Interrupt IRQ und/oder End-Of-Conversion EOC)
3.) Auslesen des gewandelten Wertes.

Die Multiplexer-, Status- und Datenregister können durch Adressen angesprochen werden, die sich auf die durch I/O-Select und Kartenadresse eingestellte Basisadresse beziehen.

Die Anwahl des auszulesenden Kanales geschieht durch einen Write-Befehl auf die zugehörige Adresse.

Bei Betrieb ohne Interrupt sind dies die Adressen
ØØØØ bis ØØØF für die Kanäle 0 bis 15,

bei Betrieb mit Interrupt die Adressen
ØØ1Ø bis ØØ1F, jeweils plus Basisadresse.

Das EOC-Signal wird auf die relative Adresse ØØØ1 ins Bit 7 eingeblendet (invertiert).
Das IRQ-Select wird auf die relative Adresse ØØ11 ins Bit 7 eingeblendet (invertiert).

Der gewandelte Wert steht in der relativen Adresse ØØØØ.

Beispiel: Betrieb ohne Interrupt:

Zwischen der Anwahl eines Kanales mit einem Write-Befehl (z.B. STA Absolut) und dem Testen des EOC-Signales (z.B. mit BIT) braucht keine Wartezeit eingehalten werden.

```
     (Basisadresse 1ØØØ)
     LDX   KNR          KANALNUMMER
     STA   $1ØØØ,X      ANWAHL
EOC  BIT   $1ØØ1        WARTEN AUF EOC
     BMI   EOC
     LDA   $1ØØØ        WERT IM AKKU
```

9.5.79 /27.8.79

Schalterzuordnung Karte M687

AD-Wandler, 16 Multiplexerkanäle, 8 Bit

Auf dem Programmiersockel b1 kann mit Steckbrücken oder DIL-Schaltern die Adresse der AD-Karte eingestellt werden. Diese Adresse bezieht sich auf eine I/O-Select-Basisadresse (vorgewählt auf der CPU-Karte) von Hex. ØØØØ. Die wirkliche Adresse einer AD-Karte ergibt sich aus der Addition von I/O-Select-plus Kartenadresse.

Bit = 1 für die Adresse heißt Schalter geschlossen bzw. Brücke gesteckt.

Die Kartenadresse kann in Abständen von Hex. 2Ø Bytes = 32_{10} von ØØØØ bis Ø3EØ (hex.) gewählt werden (Verwendung von Adreßbit 5 bis 9).

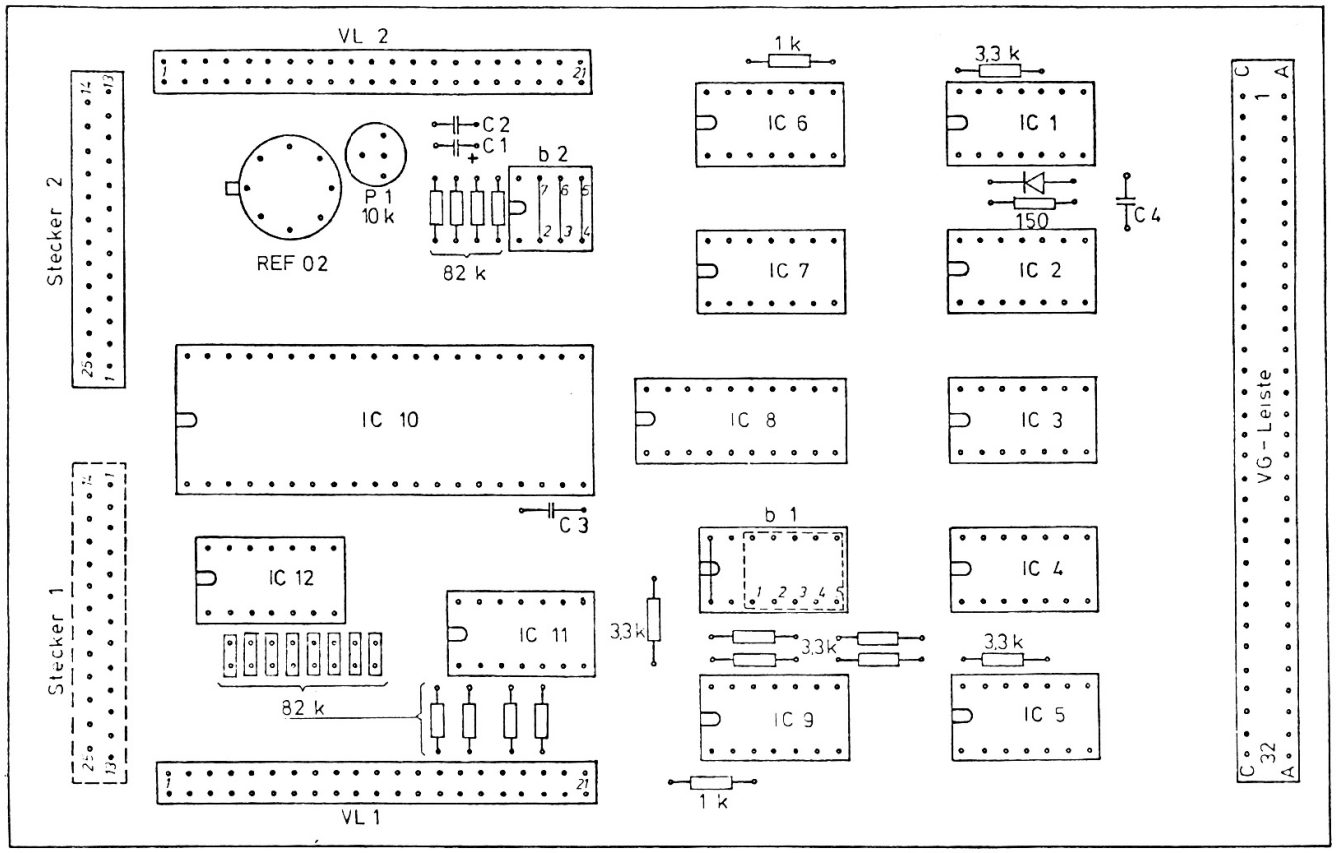
Prinzipiell können 2 IRQ-Signale generiert werden:
- 1. IRQ (invertiert) beim Start der Wandlung
- 2. IRQ (invertiert) nach Beendigung der Wandlung.

Über die Schalter 7 und 8 können die IRQ-Signale aktiviert werden:
Schalter 8 on: $\overline{IRQ}$ wird zum MCS-Bus geschaltet
Schalter 7 on: $\overline{IRQ}$ beim Start wird unterdrückt.

Schalter Nr.:	1	2	3	4	5	6	7	8
ON	5	6	7	8	9	frei	10	9
							$\overline{IRQ}$ bei Start ?	$\overline{IRQ}$?
OFF						X	7	8 X

Adreßbit gesetzt: Schalter ~~offen~~ geschlossen.

9.5.79



Bestückungsseite

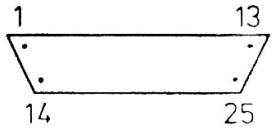
gez.	M 68'	A/D - WANDLER	Blatt 2
Datum 5.10.78			

DSUB - Stecker/Buchse 25pol.

M687
Stecker 1

PIN	BELEGUNG	BEM.
1	Analog Gnd	intern/Bezugspunkt
2	IN Ø	Eingang Kanal Ø
3		
4	IN 2	Eingang Kanal 2
5		
6		
7	IN 4	Eingang Kanal 4
8	IN 3	Eingang Kanal 3
9	- 12V	
10	Gnd Digital	intern
11	IN 1	Eingang Kanal 1
12	IN 6	Eingang Kanal 6
13	IN 5	Eingang Kanal 5
14	MUX OUT	Multiplexer Ausg.
15	COMP IN	AD-Komparator Eing.
16	+ REF	obere Referenz
17	- REF	untere Referenz
18	EX CTRL Expander-Control Lo:	Multiplexer disabled
19	+ 12V. auf VL-Leiste trennbar	extern/intern
20	+ 5V	intern
21	frei	extern
22	frei	extern
23	EOC	Ende d. Umwandlung
24	IN 7	Eingang Kanal 7
25		

Stecker - Sicht auf Steckseite



extern: nur auf VL und Dsub
intern: galvanisch mit dem System verbunden

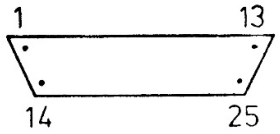
9.5.79

DSUB - Stecker/Buchse 25pol.

M687
Stecker 2

PIN	BELEGUNG	BEM.
1	Analog Gnd	intern/Bezugspunkt
2	IN 8	Eingang Kanal 8
3		
4	IN 10	Eingang Kanal 10
5		
6		
7	IN 12	Eingang Kanal 12
8	IN 11	Eingang Kanal 11
9	- 12V	extern
10	Gnd-Digital	intern
11	IN 9	Eingang Kanal 9
12	IN 14	Eingang Kanal 14
13	IN 13	Eingang Kanal 13
14	MUX OUT	Multiplexer Ausgang
15	COMP IN	AD-Komparator Eing.
16	+ REF	obere Referenz
17	- REF	untere Referenz
18	EX CTRL Expansion Control Lo:Mu	ltiplexer disabled
19	+ 12V auf VL-Leiste trennbar	extern/intern
20	+ 5V	intern
21	frei	extern
22	frei	extern
23	EOC	Ende d.Umwandlung
24	IN 15	Eingang Kanal 15
25		

Stecker - Sicht auf Steckseite



extern: nur auf VL und Dsub
intern: galvanisch mit dem System verbunden

9.5.79

M688 DA-Wandler

Adresszuordnung Karte M688

DA-Wandler, 8 Kanäle, 8 Bit

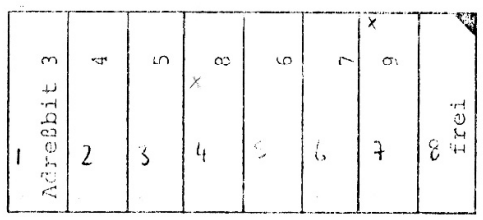
Auf dem Programmiersockel ~~b1~~ b4 kann mit Steckbrücken oder DIL-Schaltern die Adresse der DA-Karte eingestellt werden.
Diese Adresse bezieht sich auf eine I/O-Select-Basisadresse (vorgewählt auf der CPU-Karte) von Hex. ØØØØ.

Die wirkliche Adresse einer DA-Karte ergibt sich aus der Addition von I/O-Select-plus Kartenadresse.

Ausgehend von der auf der Karte und CPU wirklich eingestellten Adresse können die digitalen Werte für die 8 DA-Kanäle geschrieben werden (relative Adressen ØØØØ bis ØØØ7.

Bit = 1 für die Adresse heißt Schalter geschlossen bzw. Brücke gesteckt.

Die Kartenadresse kann in Abständen von 8 Bytes von ØØØØ bis Ø 3 F 8 (hex.) gewählt werden. (Verwendung von Adreßbit 3 bis 9).



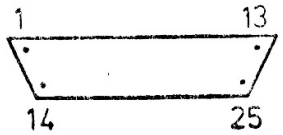
x = On (gesteckt)

Beispiel: Kartenadresse Ø328

DSUB - Stecker/Buchse 25pol. M688

PIN	BELEGUNG	VL-Beleg.	BEM.
1	DA 6	VL1 außen 20	
2	DA 4	" " 19	
3	DA 3	" " 7	
4			
5			
6			
7			
8			
9	-12V		
10	Gnd	VL1 auß./in. 11	
11	REFI 2	VL2 außen 21	
12	REFI 7	" " 20	
13	REFI 4	" " 18	
14	DA Ø	VL1 außen 20	
15	REFI 5	VL2 außen 15	
16	REFI 6	" " 14	
17	REFI Ø	" " 16	
18	REFI 1	" " 17	
19	+12V		
20	+5V		
21	DA 1	VL2 außen 8	
22	DA 7	" " 7	
23	DA 2	" " 6	
24	DA 5	" " 3	
25	REFI 3	" " 19	

Stecker - Sicht auf Steckseite



Digital-Analog-Wandler M688

M705 32k_DRAM

M 705 32k dyn. RAM Karte

Ein weiterer Baustein des BETA 8-Systems ist die 32k dynamische RAM-Karte M 705 im Europakartenformat.

Die RAMs 4116 o. ä. sind 16kxl Bit organisiert und zu 2 Blöcken á 16k Byte zusammengefaßt.

Der für dynamische RAMs notwendige Refreshzyklus wird in der inaktiven Phase des Systemtaktes durchgeführt, so daß dem Prozessor keine Zeitverluste durch Anhalten der CPU entstehen.

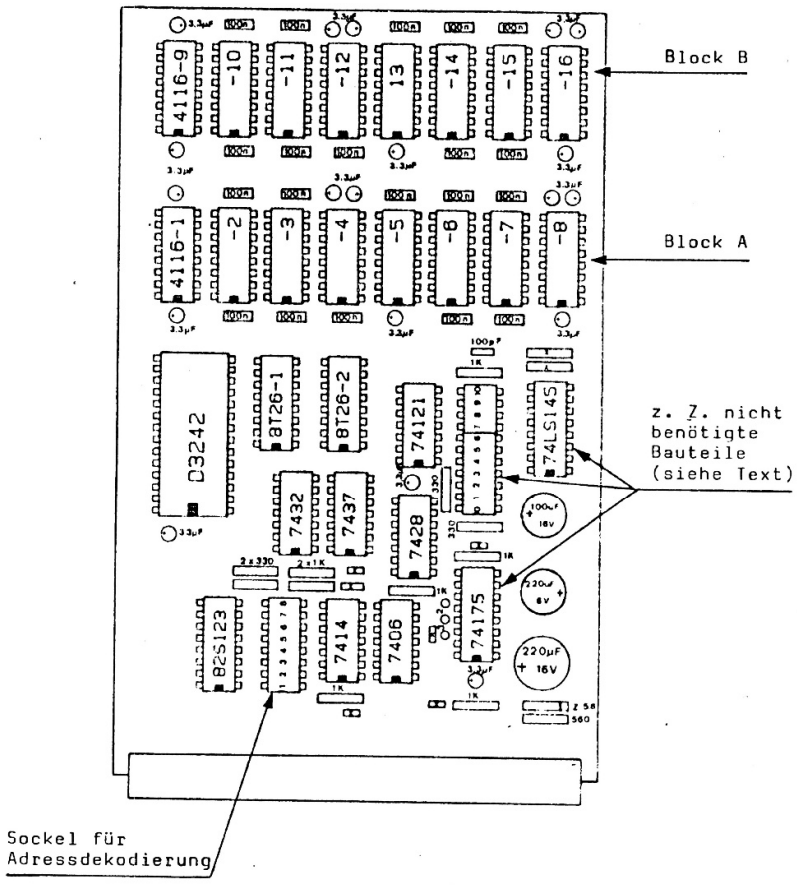
Die Adressen werden durch ein 32x8 PROM (825123) dekodiert. Über Steckbrücken können standardmäßig 8 verschiedene Adreßbereiche für die beiden Blöcke A und B gewählt werden. Da andere Komponenten des BETA 8-Systems, z. B. CPU; I/O, ROM usw., gewisse Adreßbereiche belegen können und es trotzdem die Möglichkeit geben soll, RAM vor und nach diesen Bereichen legen zu können ohne auf 16k Stufen angewiesen zu sein, können durch das Dekoderprom beliebige Adreßbereiche in 2k-Stufen ausgeblendet, d. h., nicht dekodiert werden. Die hierbei ausgeblendeten Bytes gehen dem Benutzer von den zur Verfügung stehenden 32k verloren.

Die folgende Tabelle zeigt die Standarddekodierung mit der die Karte ausgeliefert wird und mit der ein sinnvolles Arbeiten im BETA-System möglich ist.

Brücke	Adresse (hexadez.) von	bis	Block	Bemerkung
1	0000	3FFF	A	z. B. für M660 mit MONA 4
2	4000	7FFF	B	
3	8000	BFFF	A	
4	C000	FFFF	B	
5	0800	3FFF	A	im Einsatz von M622 und I/O von 400-7FF
6	C000	E7FF	B	mit Betriebssystem M630/1
7	2000	5FFF	A	geeignet als Standard-dekodierung für Assembler Basic in Verbingung mit DFDS1 und Prommy M643
8	6000	9FFF	B	

Bitte beachten Sie, daß nur 1 Brücke pro Block gesteckt sein darf.

Spezielle Dekodierungen können auf Anfrage durchgeführt werden.



Auf der Karte M 705 ist eine Schaltung vorhanden, die für den normalen Betrieb im BETA-System ohne Bedeutung ist. Daher sind einige Sockel nicht bestückt.

M764 IO-Karte-6522 Jan1981

MCS MICRONIC
Computer Systeme GmbH

M764

I/O-Karte 6522

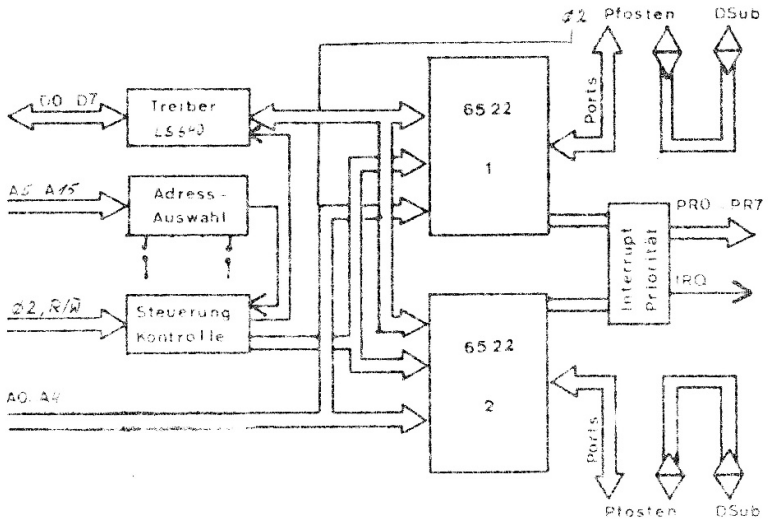
Ausgabe
Jan. 81

Zentralflughafen Tempelhof, Tempelhofer Damm 45
D-1000 Berlin 42
Telefon: 030/6 90 94 93-95 · Telex: 1-84 187 vocod

1. Allgemeines

Die Karte M764 arbeitet mit zwei universellen Interfacebausteinen vom Typ VIA 6522.

Im folgenden werden die Merkmale eines VIA Bausteins beschrieben. Bitte beachten Sie, daß Ihnen zwei Bausteine auf der Karte zur Verfügung stehen.



Die 16 Peripherieanschlüsse können völlig unabhängig voneinander durch Software als Ein- oder Ausgang programmiert werden (siehe Register 2 und 3).

Als Ausgang geschaltet können alle Ports eine TTL Last treiben. Die B-Seite kann im High-Zustand zusätzlich 1mA bei 1,5V liefern und so z.B. Darlington-Transistoren direkt treiben.

Bitte beachten Sie, daß beim Lesen der Ausgangsregister (Register 0 und 1) auf der B-Seite immer nur der vorher eingeschriebene Wert zurückgelesen wird, während bei der A-Seite der aktuelle an den Ausgangsports anliegende Wert gelesen wird. Das bedeutet, daß ein nach "High" programmierter Ausgang der extern nach "Low" gehalten wird, beim Lesen des Ausgangsregisters an dem entsprechenden Bit auch ein "Low" liefert.

Es besteht die Möglichkeit, beim Einschreiben in die A- oder B-Register über CA2 bzw. CB2 automatisch einen Quittungsimpuls zu erzeugen (siehe Register 12).

Als Eingang geschaltet stellen die Leitungen eine TTL-Last dar. Bitte beachten Sie, daß der Eingangspegel bei "Low" maximal 0,4V betragen darf.

Die Eingangszustände können über die CA1 bzw. CB1-Eingänge (siehe Register 11) abgespeichert werden. Nur die A-Seite bietet die Möglichkeit auch beim Lesen des Registers 1 automatisch einen Quittungsimpuls an CA2 zu erzeugen (Register 12).

In jeder VIA sind zwei sehr universell verwendbare 16 Bit-Timer untergebracht.

Timer 1 (Register 4,5,6 und 7) kann in vier verschiedenen Betriebsarten benutzt werden (Register 11) und zwar intern zum Erzeugen eines Interrupts nach Ablauf des geladenen Zählervertes eimalig bzw. kontinuierlich. Weiterhin kann das Port PB7 als Ausgang dienen und der Timer erzeugt einen Puls (mono) bzw. einen kontinuierlichen Takt an diesem Ausgang.

Timer 2 (Register 8 und 9) ist ein Intervall-Zähler, der nicht kontinuierlich arbeiten kann. Er dient zum Betrieb des Schieberegisters, als Interrupt-Timer oder als Zähler von Impulsen, die über PB6 eingegeben werden.

Ein bidirektionales Schieberegister (Register 10) mit 7 verschiedenen Betriebsarten (Register 11) vervollständigt den Leistungsumfang der VIA.

Über CB2 kann der Inhalt des Registers 10 seriell ausgegeben werden und zwar unter Kontrolle von Ø2, Timer 2 (hierbei wird an CB1 der Synchrontakt ausgegeben) oder durch einen externen Takt über CB1 als Eingang.

Einlaufende serielle Daten können an CB2 in das Register 10 eingetaktet werden. Drei Betriebsarten sind möglich: Timer 2 oder Ø2 geben die Taktfrequenz an CB1 aus bzw. an CB1 liegt eine externe Taktfrequenz an. Hierbei unbedingt die Hinweise Kap. 3 beachten!

Die Interruptfreigabe von den Timern, den Cx-Eingängen und dem Schieberegister erfolgt in Register 14. Im Register 13 können die entsprechenden Statusbits ausgelesen werden.

2. Adreßdekodierung

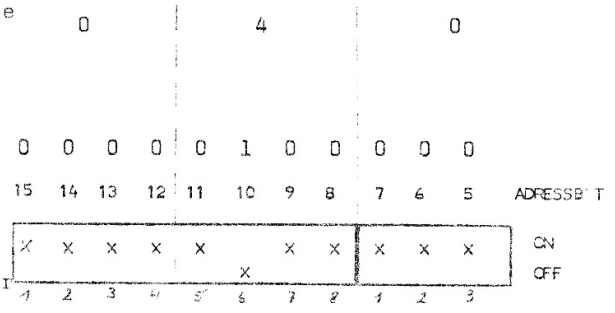
Die I/O-Karte M764 benötigt 32 Byte des Prozessoradreßraums (16 Byte für jede VIA). Die Basisadresse wird durch 11 Dual-In-Line-Schalter (A5...A15) eingestellt. Die Registeradressen ergeben sich aus der Addition der Basisadresse und der Registeradressen. A0 bis A4 wählen die Register und Adreßbit 5 wählt VIA1 oder VIA2 aus.

In der Abbildung ist ein Beispiel zur Ermittlung der richtigen Schalterstellung für die Adresse $0400 gezeigt. Dabei sind die letzten 5 Bits der Adresse nicht festlegbar, da diese - wie bereits beschrieben - zur internen Adressierung der Bausteine dienen.

1. Schreiben Sie die gewünschte Adresse hexadezimal auf, z. B. $0400.

2. Schreiben Sie darunter das äquivalente Bitmuster.

3. Schreiben Sie darunter wie folgt die Bezeichnung der 11 Dual-In-Line-Schalter



Damit haben Sie elf Schalterstellungen ermittelt. Ist das zugehörige Adreßbit "1", schalten Sie auf "OFF"; wenn das zugehörige Adreßbit "0" ist, schalten Sie auf "ON".

Damit ergeben sich folgende Registeradressen:

Relative Adresse	Bezeichnung	Beschreibung Schreiben	Lesen
00	ORB/IRB	Ausgangsregister B	Eingangsregister B
01	ORA/IRA	" A	" B
02	DDRB	Richtungsregister B	
03	DDRA	" A	
04	T1C-L	T1 LSByte-Speicher	T1 LSByte-Zähler
05	T1C-H	T1 MSByte-Zähler	
06	T1L-L	T1 LSByte-Speicher	
07	T1L-H	T1 MSByte-Speicher	
08	T2C-L	T2 LSByte-Speicher	T2 LSByte-Zähler
09	T2C-H	T2 MSByte-Zähler	
0A	SR	Schieberegister	
0B	ACR	Kontrollregister für Timer, Schieberegister, Eingangsspeicher	
0C	PCR	Kontrollregister für CA1, CA2, CB1, CB2	
0D	IFR	Interrupt Flag Register	
0E	IER	Interrupt Freigabe Register	
0F	ORA/IRA	wie Register 1 ohne Handshake	
10	ORB/IRB	Ausgangsregister B	Eingangsregister B
11	ORA/IRA	" A	" B
12	DDRB	Richtungsregister B	
13	DDRA	" A	
14	T1C-L	T1 LSByte-Speicher	T1 LSByte-Zähler
15	T1C-H	T1 MSByte-Zähler	
16	T1L-L	T1 LSByte-Speicher	
17	T1L-H	T1 MSByte-Speicher	
18	T2C-L	T2 LSByte-Speicher	T2 LSByte-Zähler
19	T2C-H	T2 MSByte-Zähler	
1A	SR	Schieberegister	
1B	ACR	Kontrollregister für Timer, Schieberegister, Eingangsspeicher	
1C	PCR	Kontrollregister für CA1, CA2, CB1, CB2	
1D	IFR	Interrupt Flag Register	
1E	IER	Interrupt Freigabe Register	
1F	ORA/IRA	wie Register 11 ohne Handshake	

Die absolute Registeradresse ergibt sich aus der Addition
von eingestellter Basisadresse und der relativen Registeradresse.

Technische Daten

Format	:	Europakarte 100 x 160 mm
Anschluß	:	MCS-BUS über 64-pol. Messersteckverbinder DIN 41612, Bauform C, a+c bestückt
Peripherie-anschluß	:	2 x 25 pol. D-Gerätestecker (Buchse) Sandwichaufsatz über Buchsenleisten Raster 2,54 mm möglich
Versorgung	:	über MCS-BUS-Anschluß + 5 V / ca. 300 mA

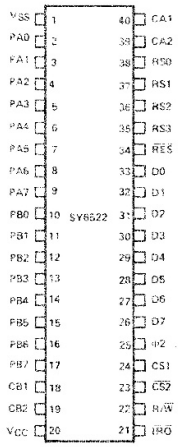
Stand September 1981

3. VIA Funktionsbeschreibung

Die folgenden Angaben sind dem Datenblatt der Firma Synertek entnommen (Stand April 1979).

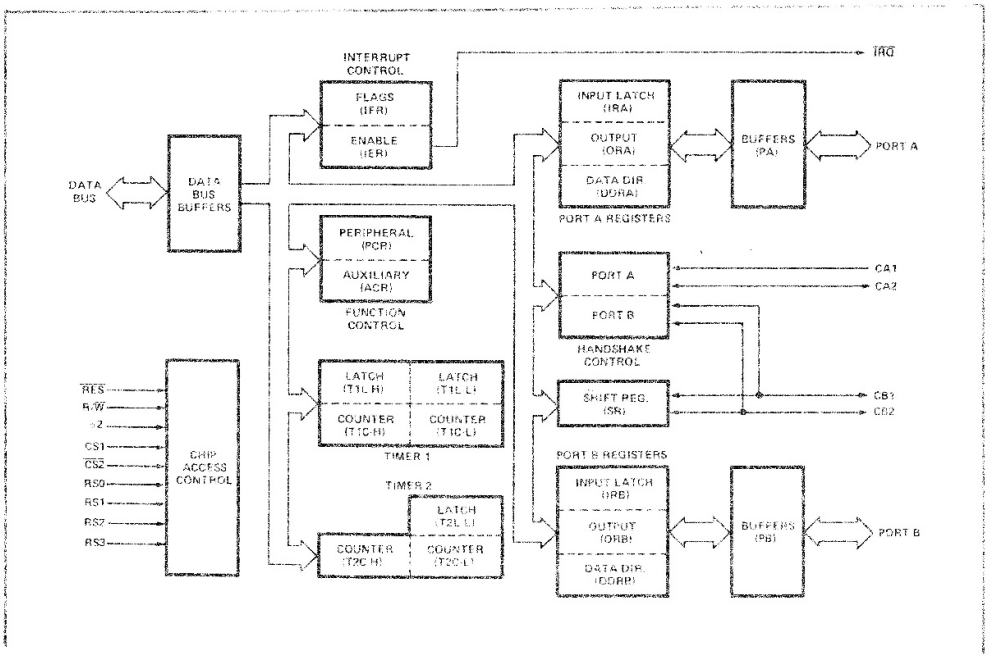
Bitte beachten Sie unbedingt die technischen Nachträge #38 und #106 der Firma Synertek am Ende des Kapitels.

PIN CONFIGURATION



Versatile Interface Adapter (VIA)

SY6522 SY6522A



ABSOLUTE MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC}	-0.3 to +7.0	V
Input Voltage	V_{IN}	-0.3 to +7.0	V
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0V ± 5%, T_A = 0-70°C unless otherwise noted)

Symbol	Characteristic	Min.	Max.	Unit
V_{IH}	Input High Voltage (all except $\phi 2$)	2.4	V_{CC}	V
V_{CH}	Clock High Voltage	2.4	V_{CC}	V
V_{IL}	Input Low Voltage	-0.3	0.4	V
I_{IN}	Input Leakage Current – V_{IN} = 0 to 5 Vdc R/$\overline{W}$, $\overline{RES}$, RS0, RS1, RS2, RS3, CS1, $\overline{CS2}$, CA1, $\Phi 2$	–	±2.5	μA
I_{TSI}	Off-state Input Current – V_{IN} = .4 to 2.4V V_{CC} = Max, D0 to D7	–	±10	μA
I_{IH}	Input High Current – V_{IH} = 2.4V PA0-PA7, CA2, PB0-PB7, CB1, CB2	-100	–	μA
I_{IL}	Input Low Current – V_{IL} = 0.4 Vdc PA0-PA7, CA2, PB0-PB7, CB1, CB2	–	-1.6	mA
V_{OH}	Output High Voltage V_{CC} = min, I_{load} = -100 μAdc PA0-PA7, CA2, PB0-PB7, CB1, CB2	2.4	–	V
V_{OL}	Output Low Voltage V_{CC} = min, I_{load} = 1.6 mAdc	–	0.4	V
I_{OH}	Output High Current (Sourcing) V_{OH} = 2.4V V_{OH} = 1.5V (PB0-PB7)	 -100 -1.0	 – –	 μA mA
I_{OL}	Output Low Current (Sinking) V_{OL} = 0.4 Vdc	1.6	–	mA
I_{OFF}	Output Leakage Current (Off state) $\overline{IRQ}$	–	10	μA
C_{IN}	Input Capacitance – T_A = 25°C, f = 1 MHz (R/$\overline{W}$, $\overline{RES}$, RS0, RS1, RS2, RS3, CS1, $\overline{CS2}$, D0-D7, PA0-PA7, CA1, CA2, PB0-PB7) (CB1, CB2) ($\Phi 2$ Input)	 – – –	 7.0 10 20	 pF pF pF
C_{OUT}	Output Capacitance – T_A = 25°C, f = 1 MHz	–	10	pF
P_D	Power Dissipation	–	700	mW

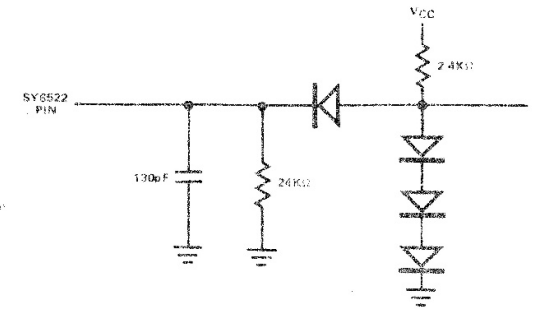


Figure 2. Test Load (for all Dynamic Parameters)

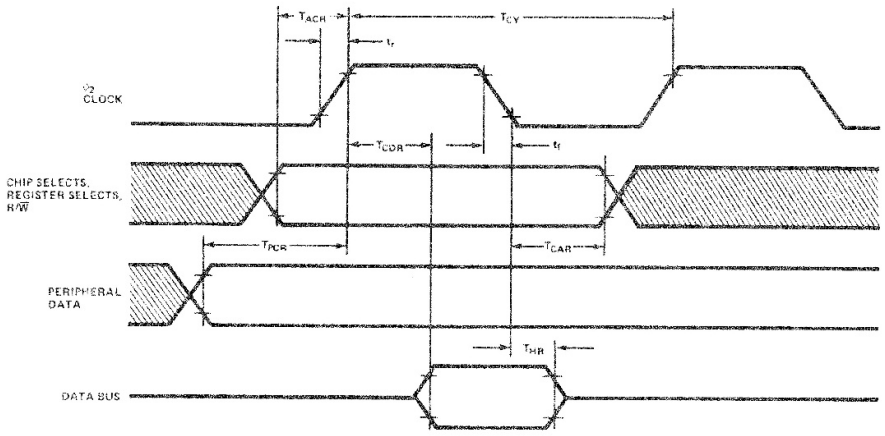


Figure 3. Read Timing Characteristics

READ TIMING CHARACTERISTICS (FIGURE 3)

Symbol	Parameter	SY6522		SY6522A		Unit
		Min.	Max.	Min.	Max.	
T_{CY}	Cycle Time	1	50	0.5	50	μs
T_{ACR}	Address Set-Up Time	180	—	90	—	ns
T_{CAR}	Address Hold Time	0	—	0	—	ns
T_{PCR}	Peripheral Data Set-Up Time	300	—	300	—	ns
T_{CDR}	Data Bus Delay Time	—	340	—	200	ns
T_{HR}	Data Bus Hold Time	10	—	10	—	ns

NOTE: t_r, t_f = 10 to 30ns.

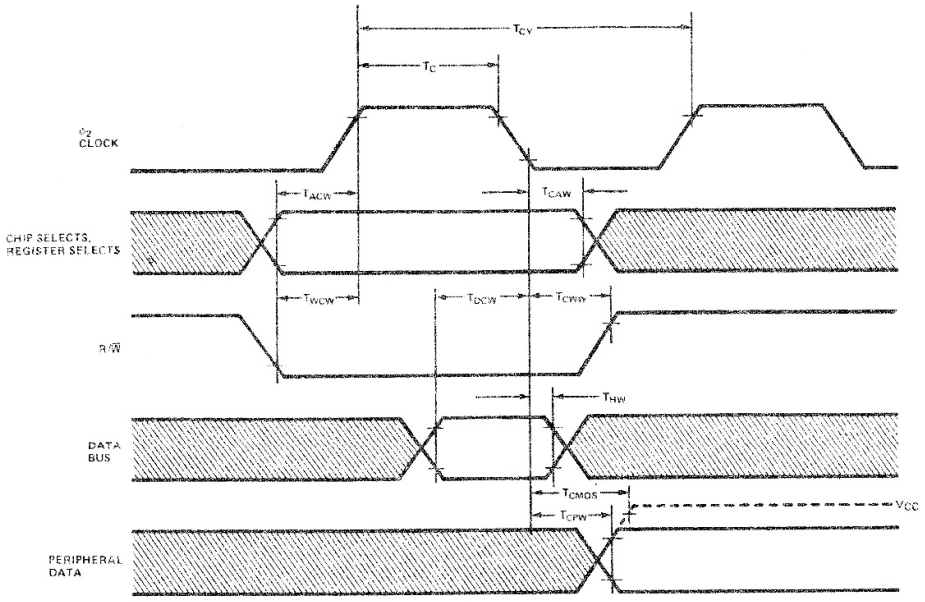


Figure 4. Write Timing Characteristics

WRITE TIMING CHARACTERISTICS (FIGURE 4)

Symbol	Parameter	SY6522		SY6522A		Unit
		Min.	Max.	Min.	Max.	
T_{CY}	Cycle Time	1	50	0.50	50	μs
T_C	Φ2 Pulse Width	0.44	25	0.22	25	μs
T_{ACW}	Address Set-Up Time	180	–	90	–	ns
T_{CAW}	Address Hold Time	0	–	0	–	ns
T_{WCW}	R/$\overline{W}$ Set-Up Time	180	–	90	–	ns
T_{CWW}	R/$\overline{W}$ Hold Time	0	–	0	–	ns
T_{DCW}	Data Bus Set-Up Time	300	–	200	–	ns
T_{HW}	Data Bus Hold Time	10	–	10	–	ns
T_{CPW}	Peripheral Data Delay Time	–	1.0	–	1.0	μs
T_{CMOS}	Peripheral Data Delay Time to CMOS Levels	–	2.0	–	2.0	μs

NOTE: tr, tf = 10 to 30ns.

PERIPHERAL INTERFACE CHARACTERISTICS

Symbol	Characteristic	Min.	Max.	Unit	Figure
t_r, t_f	Rise and Fall Time for CA1, CB1, CA2, and CB2 Input Signals	—	1.0	μs	—
T_{CA2}	Delay Time, Clock Negative Transition to CA2 Negative Transition (read handshake or pulse mode)	—	1.0	μs	5a, 5b
T_{RS1}	Delay Time, Clock Negative Transition to CA2 Positive Transition (pulse mode)	—	1.0	μs	5a
T_{RS2}	Delay Time, CA1 Active Transition to CA2 Positive Transition (handshake mode)	—	2.0	μs	5b
T_{WHS}	Delay Time, Clock Positive Transition to CA2 or CB2 Negative Transition (write handshake)	0.05	1.0	μs	5c, 5d
T_{DS}	Delay Time, Peripheral Data Valid to CB2 Negative Transition	0.20	1.5	μs	5c, 5d
T_{RS3}	Delay Time, Clock Positive Transition to CA2 or CB2 Positive Transition (pulse mode)	—	1.0	μs	5c
T_{RS4}	Delay Time, CA1 or CB1 Active Transition to CA2 or CB2 Positive Transition (handshake mode)	—	2.0	μs	5d
T_{21}	Delay Time Required from CA2 Output to CA1 Active Transition (handshake mode)	400	—	ns	5d
T_{IL}	Set-up Time, Peripheral Data Valid to CA1 or CB1 Active Transition (input latching)	300	—	ns	5e
T_{SR1}	Shift-Out Delay Time — Time from ϕ_2 Falling Edge to CB2 Data Out	—	300	ns	5f
T_{SR2}	Shift-In Setup Time — Time from CB2 Data In to ϕ_2 Rising Edge	300	—	ns	5g
T_{SR3}	External Shift Clock (CB1) Setup Time Relative To ϕ_2 Trailing Edge	100	T_{CY}	ns	5g
T_{IPW}	Pulse Width — PB6 Input Pulse	2	—	μs	5i
T_{ICW}	Pulse Width — CB1 Input Clock	2	—	μs	5h
T_{IPS}	Pulse Spacing — PB6 Input Pulse	2	—	μs	5i
T_{ICS}	Pulse Spacing — CB1 Input Pulse	2	—	μs	5h

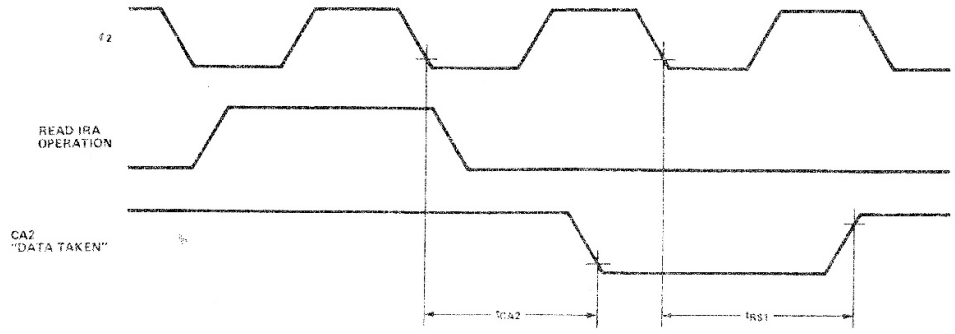


Figure 5a. CA2 Timing for Read Handshake, Pulse Mode

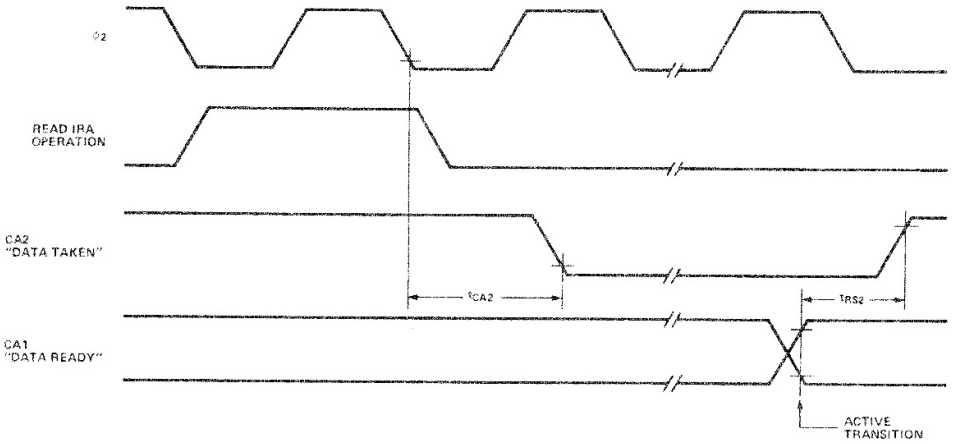


Figure 5b. CA2 Timing for Read Handshake, Handshake Mode

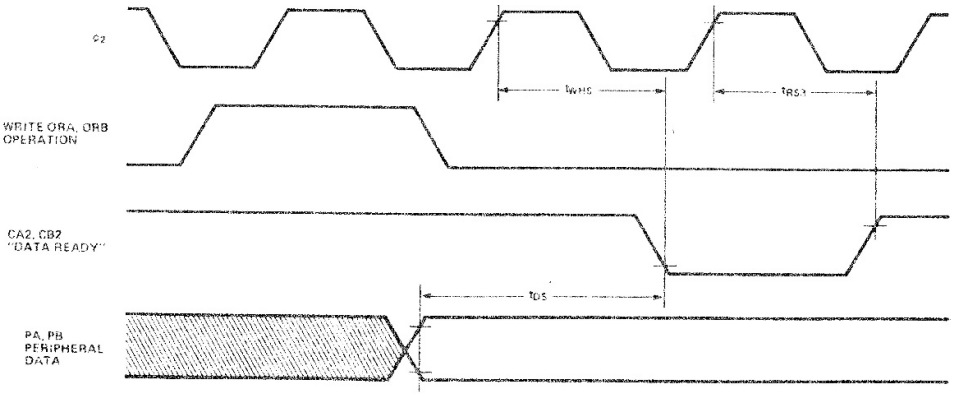


Figure 5c. CA2, CB2 Timing for Write Handshake, Pulse Mode

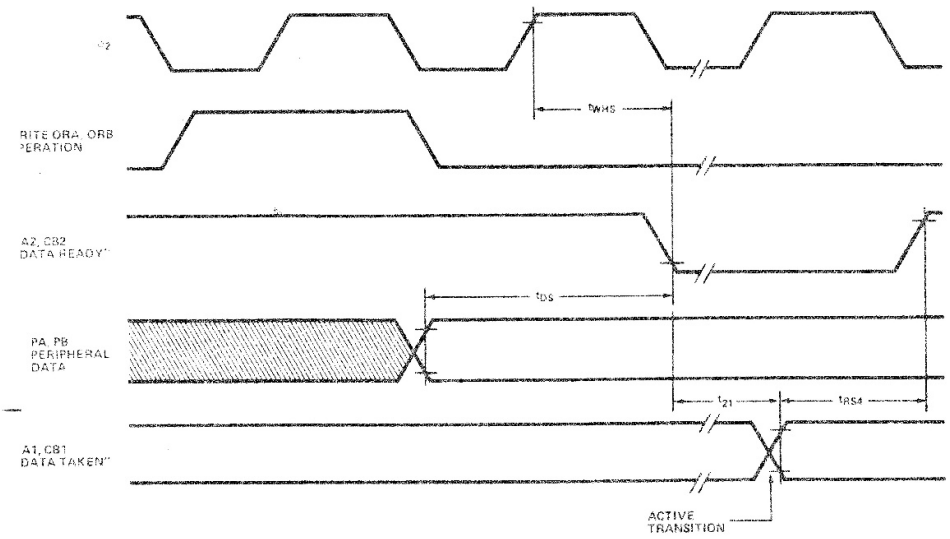


Figure 5d. CA2, CB2 Timing for Write Handshake, Handshake Mode

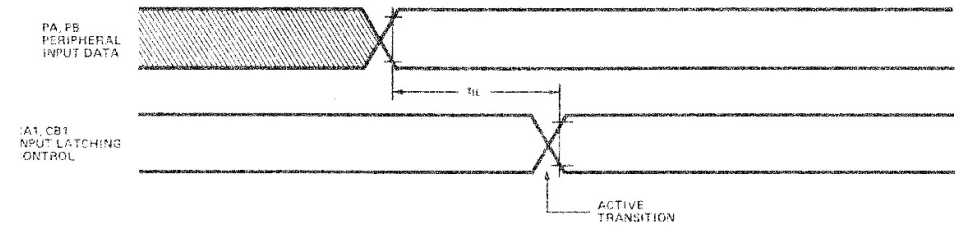


Figure 5e. Peripheral Data Input Latching Timing

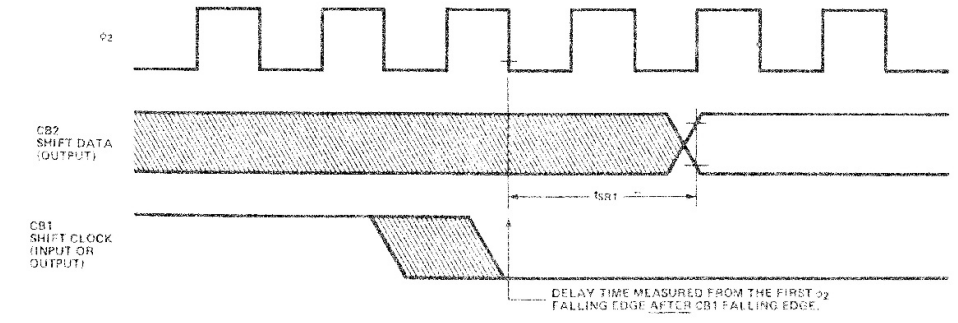
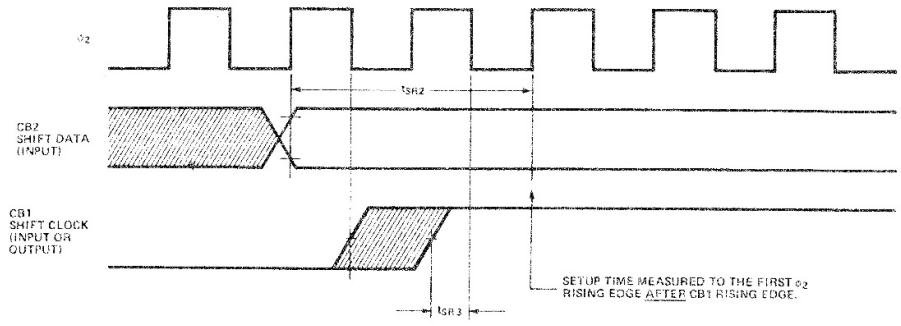


Figure 5f. Timing for Shift Out with Internal or External Shift Clocking



! Anhang beachten!

Figure 5g. Timing for Shift In with Internal or External Shift Clocking

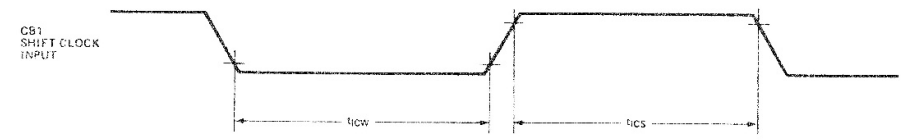


Figure 5h. External Shift Clock Timing

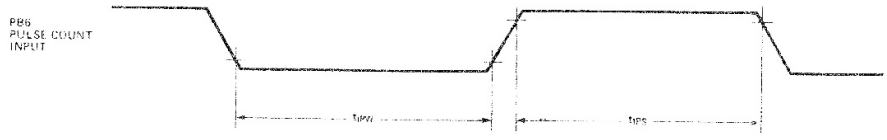


Figure 5i. Pulse Count Input Timing

PIN DESCRIPTIONS

$\overline{RES}$ (Reset)

The reset input clears all internal registers to logic 0 (except T1 and T2 latches and counters and the Shift Register). This places all peripheral interface lines in the input state, disables the timers, shift register, etc. and disables interrupting from the chip.

$\phi 2$ (Input Clock)

The input clock is the system $\phi 2$ clock and is used to trigger all data transfers between the system processor and the SY6522.

R/$\overline{W}$ (Read/Write)

The direction of the data transfers between the SY6522 and the system processor is controlled by the R/$\overline{W}$ line. If R/W is low, data will be transferred out of the processor into the selected SY6522 register (write operation). If R/W is high and the chip is selected, data will be transferred out of the SY6522 (read operation).

DB0-DB7 (Data Bus)

The eight bi-directional data bus lines are used to transfer data between the SY6522 and the system processor. During read cycles, the contents of the selected SY6522 register are placed on the data bus lines and transferred into the processor. During write cycles, these lines are high-impedance inputs and data is transferred from the processor into the selected register. When the SY6522 is unselected, the data bus lines are high-impedance.

CS1, $\overline{CS2}$ (Chip Selects)

The two chip select inputs are normally connected to processor address lines either directly or through decoding. The selected SY6522 register will be accessed when CS1 is high and $\overline{CS2}$ is low.

RS0-RS3 (Register Selects)

The four Register Select inputs permit the system processor to select one of the 16 internal registers of the SY6522, as shown in Figure 6.

Register Number	RS Coding				Register Desig.	Description	
	RS3	RS2	RS1	RS0		Write	Read
0	0	0	0	0	ORB/IRB	Output Register "B"	Input Register "B"
1	0	0	0	1	ORA/IRA	Output Register "A"	Input Register "A"
2	0	0	1	0	DDRB	Data Direction Register "B"	
3	0	0	1	1	DDRA	Data Direction Register "A"	
4	0	1	0	0	T1C-L	T1 Low-Order Latches	T1 Low-Order Counter
5	0	1	0	1	T1C-H	T1 High-Order Counter	
6	0	1	1	0	T1L-L	T1 Low-Order Latches	
7	0	1	1	1	T1L-H	T1 High-Order Latches	
8	1	0	0	0	T2C-L	T2 Low-Order Latches	T2 Low-Order Counter
9	1	0	0	1	T2C-H	T2 High-Order Counter	
10	1	0	1	0	SR	Shift Register	
11	1	0	1	1	ACR	Auxiliary Control Register	
12	1	1	0	0	PCR	Peripheral Control Register	
13	1	1	0	1	IFR	Interrupt Flag Register	
14	1	1	1	0	IER	Interrupt Enable Register	
15	1	1	1	1	ORA/IRA	Same as Reg 1 Except No "Handshake"	

Figure 6. SY6522 Internal Register Summary

$\overline{IRQ}$ (Interrupt Request)

The Interrupt Request output goes low whenever an internal interrupt flag is set and the corresponding interrupt enable bit is a logic 1. This output is "open-drain" to allow the interrupt request signal to be "wire-or'ed" with other equivalent signals in the system.

PA0-PA7 (Peripheral A Port)

The Peripheral A port consists of 8 lines which can be individually programmed to act as inputs or outputs under control of a Data Direction Register. The polarity of output pins is controlled by an Output Register and input data may be latched into an internal register under control of the CA1 line. All of these modes of operation are controlled by the system processor through the internal control registers. These lines represent one standard TTL load in the input mode and will drive one standard TTL load in the output mode. Figure 7 illustrates the output circuit.

CA1, CA2 (Peripheral A Control Lines)

The two Peripheral A control lines act as interrupt inputs or as handshake outputs. Each line controls an internal interrupt flag with a corresponding interrupt enable bit. In addition, CA1 controls the latching of data on Peripheral A port input lines. CA1 is a high-impedance input only while CA2 represents one standard TTL load in the input mode. CA2 will drive one standard TTL load in the output mode.

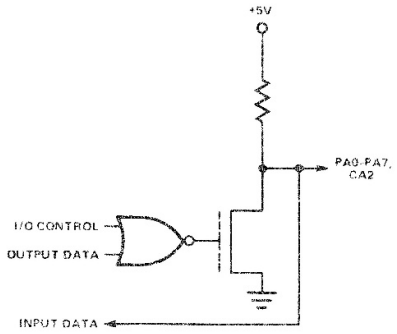


Figure 7. Peripheral A Port Output Circuit

PB0-PB7 (Peripheral B Port)

The Peripheral B port consists of eight bi-directional lines which are controlled by an output register and a data direction register in much the same manner as the PA port. In addition, the polarity of the PB7 output signal can be controlled by one of the interval timers while the second timer can be programmed to count pulses on the PB6 pin. Peripheral B lines represent one standard TTL load in the input mode and will drive one standard TTL load in the output mode. In addition, they are capable of sourcing 1.0mA at 1.5VDC in the output mode to allow the outputs to directly drive Darlington transistor circuits. Figure 8 is the circuit schematic.

CB1, CB2 (Peripheral B Control Lines)

The Peripheral B control lines act as interrupt inputs or as handshake outputs. As with CA1 and CA2, each line controls an interrupt flag with a corresponding interrupt enable bit. In addition, these lines act as a serial port under control of the Shift Register. These lines represent one standard TTL load in the input mode and will drive one standard TTL load in the output mode. Unlike PB0-PB7, CB1 and CB2 cannot drive Darlington transistor circuits.

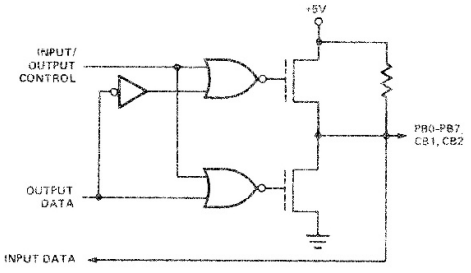


Figure 8. Peripheral B Port Output Circuit

FUNCTIONAL DESCRIPTION

Port A and Port B Operation

Each 8-bit peripheral port has a Data Direction Register (DDRA, DDRB) for specifying whether the peripheral pins are to act as inputs or outputs. A 0 in a bit of the Data Direction Register causes the corresponding peripheral pin to act as an input. A 1 causes the pin to act as an output.

Each peripheral pin is also controlled by a bit in the Output Register (ORA, ORB) and an Input Register (IRA, IRB). When the pin is programmed as an output, the voltage on the pin is controlled by the cor-

responding bit of the Output Register. A 1 in the Output Register causes the output to go high, and a "0" causes the output to go low. Data may be written into Output Register bits corresponding to pins which are programmed as inputs. In this case, however, the output signal is unaffected.

Reading a peripheral port causes the contents of the Input Register (IRA, IRB) to be transferred onto the Data Bus. With input latching disabled, IRA will always reflect the levels on the PA pins. With input latching enabled, IRA will reflect the levels on the PA pins at the time the latching occurred (via CA1).

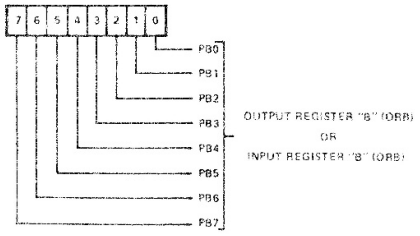
The IRB register operates similar to the IRA register. However, for pins programmed as outputs there is a difference. When reading IRA, the level on the pin determines whether a 0 or a 1 is sensed. When reading IRB, however, the bit stored in the output register, ORB, is the bit sensed. Thus, for outputs which have large loading effects and which pull an output "1" down or which pull an output "0" up, reading IRA may result in reading a "0" when a "1" was actually programmed, and reading a "1" when a "0" was programmed. Reading IRB, on the other hand, will read the "1" or "0" level actually programmed, no matter what the loading on the pin.

Figures 9, 10, and 11 illustrate the formats of the port registers. In addition, the input latching modes are selected by the Auxiliary Control Register (Figure 16.)

Handshake Control of Data Transfers

The SY6522 allows positive control of data transfers between the system processor and peripheral devices through the operation of "handshake" lines. Port A lines (CA1, CA2) handshake data on both a read and a write operation while the Port B lines (CB1, CB2) handshake on a write operation only.

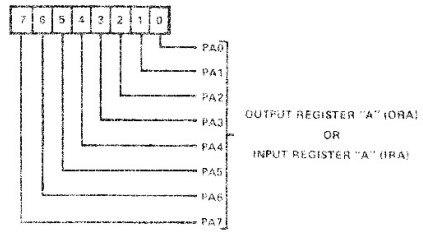
REG 0 – ORB/IRB



Pin Data Direction Selection	WRITE	READ
DDRB = "1" (OUTPUT)	MPU writes Output Level (ORB)	MPU reads output register bit in ORB. Pin level has no affect.
DDRB = "0" (INPUT) (Input latching disabled)	MPU writes into ORB, but no effect on pin level, until DDRB changes.	MPU reads input level on PB pin.
DDRB = "0" (INPUT) (Input latching enabled)		MPU reads IRB bit, which is the level of the PB pin at the time of the last CB1 active transition.

Figure 9. Output Register B (ORB), Input Register B (IRB)

REG 1 – ORA/IRA



Pin Data Direction Selection	WRITE	READ
DDRA = "1" (OUTPUT) (Input latching disabled)	MPU writes Output Level (ORA)	MPU reads level on PA pin.
DDRA = "1" (OUTPUT) (Input latching enabled)		MPU reads IRA bit which is the level of the PA pin at the time of the last CA1 active transition.
DDRA = "0" (INPUT) (Input latching disabled)	MPU writes into ORA, but no effect on pin level, until DDRA changed.	MPU reads level on PA pin.
DDRA = "0" (INPUT) (Input latching enabled)		MPU reads IRA bit which is the level of the PA pin at the time of the last CA1 active transition.

Figure 10. Output Register A (ORA), Input Register A (IRA)

REG 2 (DDRB) AND REG 3 (DDRA)

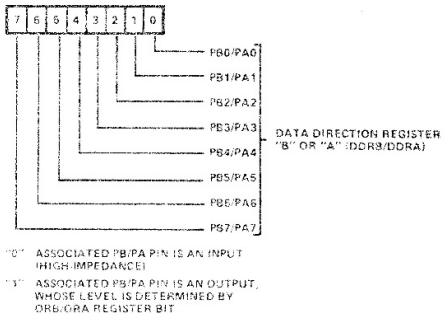


Figure 11. Data Direction Registers (DDRB, DDRA)

Read Handshake

Positive control of data transfers from peripheral devices into the system processor can be accomplished very effectively using Read Handshaking. In this case, the peripheral device must generate the equivalent of a "Data Ready" signal to the processor signifying that valid data is present on the peripheral port. This signal normally interrupts the processor, which then reads the data, causing generation of a "Data Taken" signal. The peripheral device responds by making new data available. This process continues until the data transfer is complete.

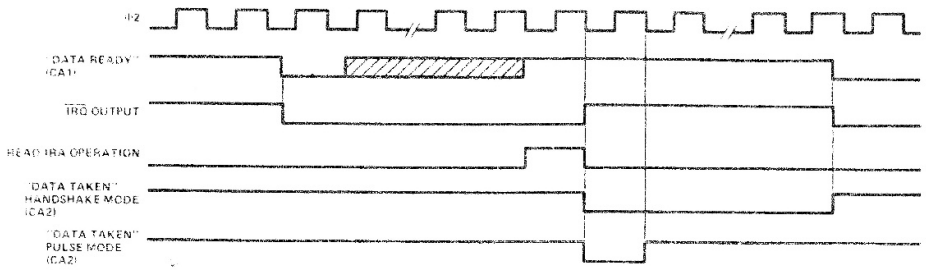


Figure 12. Read Handshake Timing (Port A, Only)

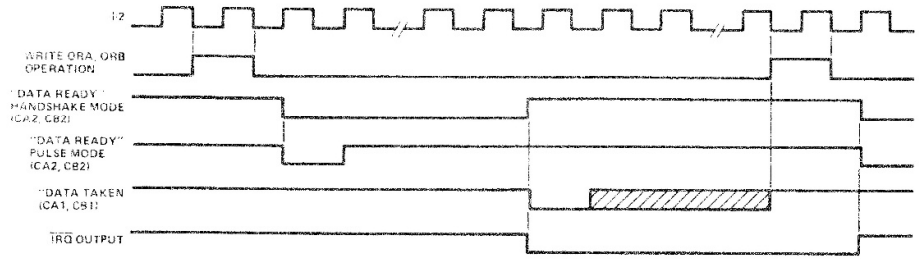


Figure 13. Write Handshake Timing

In the SY6522, automatic "Read" Handshaking is possible on the Peripheral A port only. The CA1 interrupt input pin accepts the "Data Ready" signal and CA2 generates the "Data Taken" signal. The "Data Ready" signal will set an internal flag which may interrupt the processor or which may be polled under program control. The "Data Taken" signal can either be a pulse or a level which is set low by the system processor and is cleared by the "Data Ready" signal. These options are shown in Figure 12 which illustrates the normal Read Handshaking sequence.

Write Handshake

The sequence of operations which allows handshaking data from the system processor to a peripheral device is very similar to that described for Read Handshaking. However, for Write Handshaking, the SY6522 generates the "Data Ready" signal and the peripheral device must respond with the "Data Taken" signal. This can be accomplished on both the PA port and the PB port on the SY6522. CA2 or CB2 act as a "Data Ready" output in either the handshake mode or pulse mode and CA1 or CB1 accept the "Data Taken" signal from the peripheral device, setting the interrupt flag and cleaning the "Data Ready" output. This sequence is shown in Figure 13.

Selection of operating modes for CA1, CA2, CB1, and CB2 is accomplished by the Peripheral Control Register (Figure 14).

Timer Operation

Interval Timer T1 consists of two 8-bit latches and a 16-bit counter. The latches are used to store data which is to be loaded into the counter. After loading, the counter decrements at $\phi 2$ clock rate. Upon reaching zero, an interrupt flag will be set, and $\overline{IRQ}$ will go low if the interrupt is enabled. The timer will then disable any further interrupts, or will automatically transfer the contents of the latches into the counter and will continue to decrement. In addition, the timer may be programmed to invert the output signal on a peripheral pin each time it "times-out". Each of these modes is discussed separately below.

The T1 counter is depicted in Figure 15 and the latches in Figure 16.

REG 12 – PERIPHERAL CONTROL REGISTER

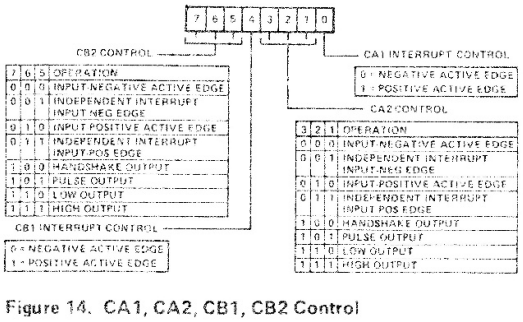
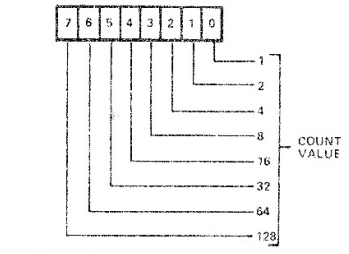


Figure 14. CA1, CA2, CB1, CB2 Control

Two bits are provided in the Auxiliary Control Register (bits 6 and 7) to allow selection of the T1 operating modes. The four possible modes are depicted in Figure 17.

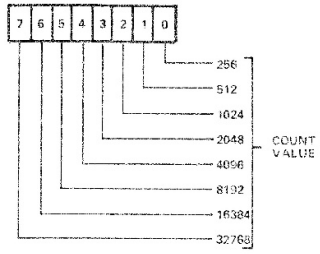
REG 4 – TIMER 1 LOW-ORDER COUNTER



WRITE – 8 BITS LOADED INTO T1 LOW-ORDER LATCHES. LATCH CONTENTS ARE TRANSFERRED INTO LOW-ORDER COUNTER AT THE TIME THE HIGH-ORDER COUNTER IS LOADED (REG 5).

READ – 8 BITS FROM T1 LOW-ORDER COUNTER TRANSFERRED TO MPU. IN ADDITION, T1 INTERRUPT FLAG IS RESET (BIT 6 IN INTERRUPT FLAG REGISTER).

REG 5 – TIMER 1 HIGH-ORDER COUNTER

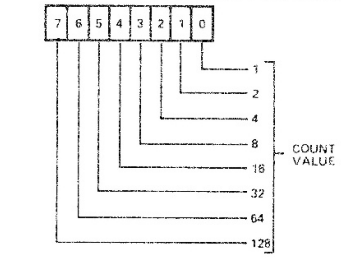


WRITE – 8 BITS LOADED INTO T1 HIGH-ORDER LATCHES. ALSO, AT THIS TIME BOTH HIGH AND LOW ORDER LATCHES TRANSFERRED INTO T1 COUNTER. T1 INTERRUPT FLAG ALSO IS RESET.

READ – 8 BITS FROM T1 HIGH-ORDER COUNTER TRANSFERRED TO MPU.

Figure 15. T1 Counter Registers

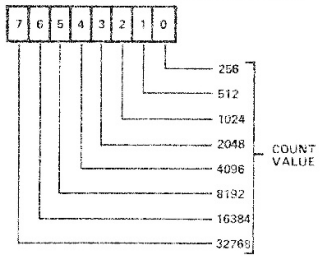
REG 6 – TIMER 1 LOW-ORDER LATCHES



WRITE – 8 BITS LOADED INTO T1 LOW-ORDER LATCHES. THIS OPERATION IS NO DIFFERENT THAT A WRITE INTO REG 4.

READ – 8 BITS FROM T1 LOW-ORDER LATCHES TRANSFERRED TO MPU. UNLIKE REG 4 OPERATION, THIS DOES NOT CAUSE RESET OF T1 INTERRUPT FLAG.

REG 7 – TIMER 1 HIGH-ORDER LATCHES



WRITE – 8 BITS LOADED INTO T1 HIGH-ORDER LATCHES. UNLIKE REG 4 OPERATION NO LATCH-TO-COUNTER TRANSFERS TAKE PLACE.

READ – 8 BITS FROM T1 HIGH ORDER LATCHES TRANSFERRED TO MPU.

Figure 16. T1 Latch Registers

REG 11 – AUXILIARY CONTROL REGISTER

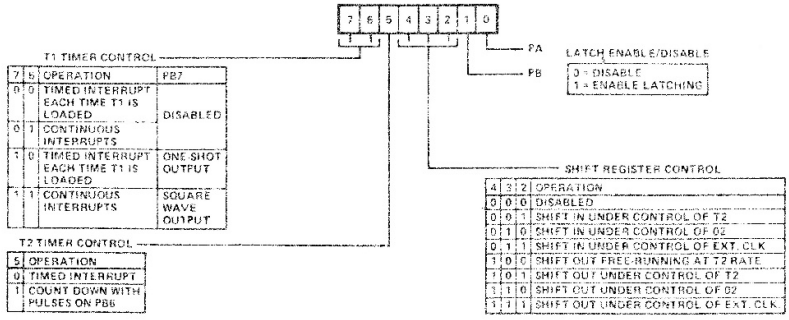


Figure 17. Auxiliary Control Register

Note: The processor does not write directly into the low order counter (T1C-L). Instead, this half of the counter is loaded automatically from the low order latch when the processor writes into the high order counter. In fact, it may not be necessary to write to the low order counter in some applications since the timing operation is triggered by writing to the high order counter.

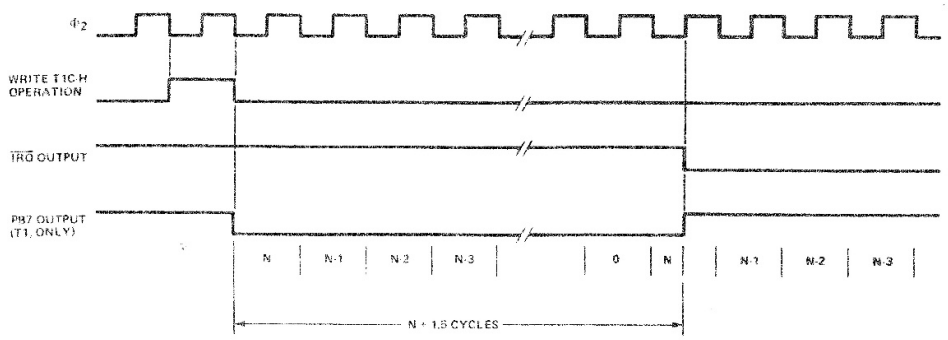


Figure 18. Timer 1 and Timer 2 One-Shot Mode Timing

Timer 1 One-Shot Mode

The interval timer one-shot mode allows generation of a single interrupt for each timer load operation. As with any interval timer, the delay between the "write T1C-H" operation and generation of the processor interrupt is a direct function of the data loaded into the timing counter. In addition to generating a single interrupt, Timer 1 can be programmed to produce a single negative pulse on the PB7 peripheral pin. With the output enabled (ACR7=1) a "write T1C-H" operation will cause PB7 to go low. PB7 will return high when Timer 1 times out. The result is a single programmable width pulse.

In the one-shot mode, writing into the high order latch has no effect on the operation of Timer 1. However, it will be necessary to assure that the low order latch contains the proper data before initiating the count-down with a "write T1C-H" operation. When the processor writes into the high order counter, the T1 interrupt flag will be cleared, the contents of the low order latch will be transferred into the low order counter, and the timer will begin to decrement at system clock rate. If the PB7 output is enabled, this signal will go low on the phase two following the write operation. When the counter reaches zero, the T1 interrupt flag will be set, the $\overline{IRQ}$ pin will go low (interrupt enabled), and the signal on PB7 will go high. At this time the counter will continue to decrement at system clock rate. This allows the system processor to read the contents of the counter to determine the time since interrupt. However, the T1 interrupt flag cannot be set again unless it has been cleared as described in this specification.

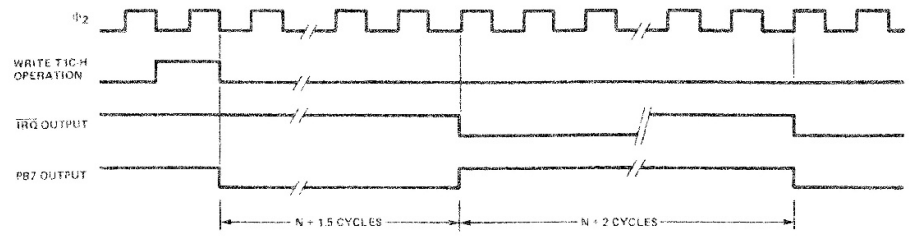
Timing for the SY6522 interval timer one-shot modes is shown in Figure 18.

Timer 1 Free-Run Mode

The most important advantage associated with the latches in T1 is the ability to produce a continuous series of evenly spaced interrupts and the ability to produce a square wave on PB7 whose frequency is not affected by variations in the processor interrupt response time. This is accomplished in the "free-running" mode.

In the free-running mode, the interrupt flag is set and the signal on PB7 is inverted each time the counter reaches zero. However, instead of continuing to decrement from zero after a time-out, the timer automatically transfers the contents of the latch into the counter (16 bits) and continues to decrement from there. The interrupt flag can be cleared by writing T1C-H, by reading T1C-L, or by writing directly into the flag as described later. However, it is not necessary to rewrite the timer to enable setting the interrupt flag on the next time-out.

All interval timers in the SY6522 are "re-triggerable". Rewriting the counter will always re-initialize the time-out period. In fact, the time-out can be prevented completely if the processor continues to rewrite the timer before it reaches zero. Timer 1 will operate in this manner if the processor writes into the high order counter (T1C-H). However, by loading the latches only, the processor can access the timer during each down-counting operation without affecting the time-out in process. Instead, the data loaded into the latches will determine the length of the next time-out period. This capability is particularly valuable in the free-running mode with the output enabled. In this mode, the signal on PB7 is inverted and the interrupt flag is set with each time-out. By responding to the interrupts with new data for the latches, the processor can determine the period of the next half cycle during each half cycle of the output signal on PB7. In this manner, very complex waveforms can be generated. Timing for the free-running mode is shown in Figure 19.



Note: A precaution to take in the use of PB7 as the timer output concerns the Data Direction Register contents for PB7. Both DDRB bit 7 and ACR bit 7 must be 1 for PB7 to function as the timer output. If one is 1 and the other is 0, then PB7 functions as a normal output pin, controlled by ORB bit 7.

Figure 19. Timer 1 Free-Run Mode Timing

Timer 2 Operation

Timer 2 operates as an interval timer (in the "one-shot" mode only), or as a counter for counting negative pulses on the PB6 peripheral pin. A single control bit is provided in the Auxiliary Control Register to select between these two modes. This timer is comprised of a "write-only" low-order latch (T2L-L), a "read-only" low-order counter and a read/write high order counter. The counter registers act as a 16-bit counter which decrements at Φ2 rate. Figure 20 illustrates the T2 Counter Registers.

Timer 2 One-Shot Mode

As an interval timer, T2 operates in the "one-shot" mode similar to Timer 1. In this mode, T2 provides a single interrupt for each "write T2C-H" operation. After timing out, the counter will continue to decrement. However, setting of the interrupt flag will be disabled after initial time-out so that it will not be set by the counter continuing to decrement through zero. The processor must rewrite T2C-H to enable setting of the interrupt flag. The interrupt flag is cleared by reading T2C-L or by writing T2C-H. Timing for this operation is shown in Figure 18.

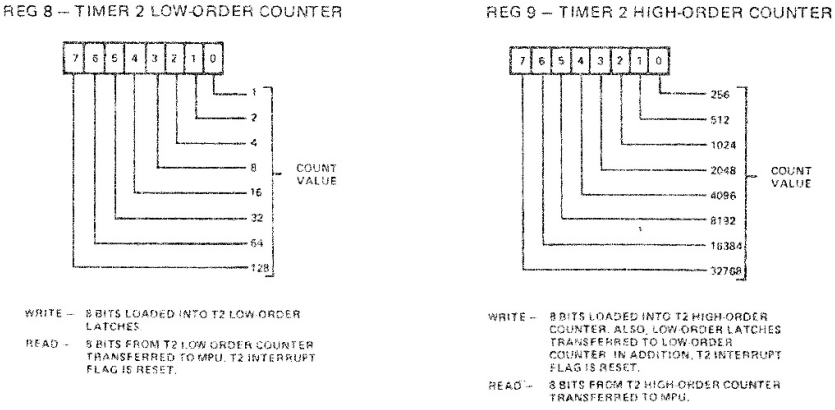


Figure 20. T2 Counter Registers

Timer 2 Pulse Counting Mode

In the pulse counting mode, T2 serves primarily to count a predetermined number of negative-going pulses on PB6. This is accomplished by first loading a number into T2. Writing into T2C-H clears the interrupt flag and allows the counter to decrement each time a pulse is applied to PB6. The interrupt flag will be set when T2 reaches zero. At this time the counter will continue to decrement with each pulse on PB6. However, it is necessary to rewrite T2C-H to allow the interrupt flag to set on subsequent down-counting operations. Timing for this mode is shown in Figure 21. The pulse must be low on the leading edge of Φ2.

Shift Register Operation

The Shift Register (SR) performs serial data transfers into and out of the CB2 pin under control of an internal modulo-8 counter. Shift pulses can be applied to the CB1 pin from an external source or, with the proper mode selection, shift pulses generated internally will appear on the CB1 pin for controlling external devices.

The control bits which select the various shift register operating modes are located in the Auxiliary Control Register. Figure 22 illustrates the configuration of the SR data bits and the SR control bits of the ACR.

Figures 23 and 24 illustrate the operation of the various shift register modes.

Interrupt Operation

Controlling interrupts within the SY6522 involves three principal operations. These are flagging the interrupts, enabling interrupts and signaling to the processor that an active interrupt exists within the chip. Interrupt flags are set by interrupting conditions which exist within the chip or on inputs to the chip. These flags normally remain set until the interrupt has been serviced. To determine the source of an interrupt, the microprocessor must examine these flags in order from highest to lowest priority. This is accomplished by reading the flag register into the processor accumulator, shifting this register either right or left and then using conditional branch instructions to detect an active interrupt.

Associated with each interrupt flag is an interrupt enable bit. This can be set or cleared by the processor to enable interrupting the processor from the corresponding interrupt flag. If an interrupt flag is set to a logic 1 by an interrupting condition, and the corresponding interrupt enable bit is set to a 1, the Interrupt Request Output ($\overline{IRQ}$) will go low. $\overline{IRQ}$ is an "open-collector" output which can be "wire-or'ed" with other devices in the system to interrupt the processor.

In the SY6522, all the interrupt flags are contained in one register. In addition, bit 7 of this register will be read as a logic 1 when an interrupt exists within the chip. This allows very convenient polling of several devices within a system to locate the source of an interrupt.

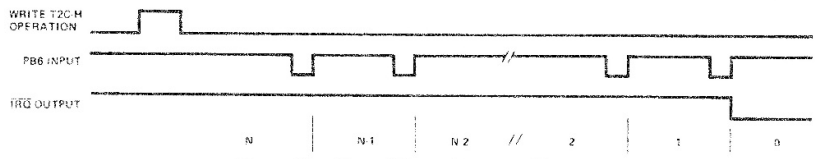
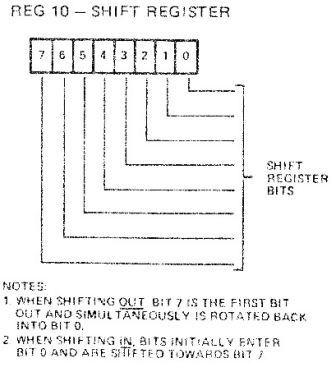
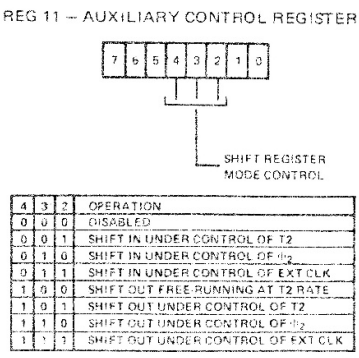


Figure 21. Timer 2 Pulse Counting Mode





4	3	2	OPERATION
0	0	0	DISABLED
0	0	1	SHIFT IN UNDER CONTROL OF T2
0	1	0	SHIFT IN UNDER CONTROL OF Φ_2
0	1	1	SHIFT IN UNDER CONTROL OF EXT CLK
1	0	0	SHIFT OUT FREE-RUNNING AT T2 RATE
1	0	1	SHIFT OUT UNDER CONTROL OF T2
1	1	0	SHIFT OUT UNDER CONTROL OF Φ_2
1	1	1	SHIFT OUT UNDER CONTROL OF EXT CLK

Figure 22. SR and ACR Control Bits

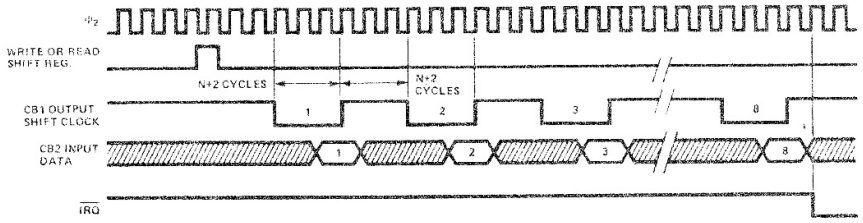
SR Disabled (000)

The 000 mode is used to disable the Shift Register. In this mode the microprocessor can write or read the SR, but the shifting operation is disabled and operation of CB1 and CB2 is controlled by the appropriate bits in the Peripheral Control Register (PCR). In this mode the SR Interrupt Flag is disabled (held to a logic 0).

Shift in Under Control of T2 (001)

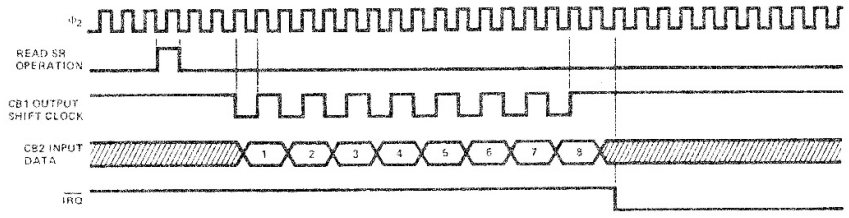
In the 001 mode the shifting rate is controlled by the low order 8 bits of T2. Shift pulses are generated on the CB1 pin to control shifting in external devices. The time between transitions of this output clock is a function of the system clock period and the contents of the low order T2 latch (N).

The shifting operation is triggered by writing or reading the shift register. Data is shifted first into the low order bit of SR and is then shifted into the next higher order bit of the shift register on the negative-going edge of each clock pulse. The input data should change before the positive-going edge of the CB1 clock pulse. This data is shifted into the shift register during the ϕ_2 clock cycle following the positive-going edge of the CB1 clock pulse. After 8 CB1 clock pulses, the shift register interrupt flag will be set and $\overline{IRQ}$ will go low.



Shift in Under Control of ϕ_2 (010) ! Anhang beachten !

In mode 010 the shift rate is a direct function of the system clock frequency. CB1 becomes an output which generates shift pulses for controlling external devices. Timer 2 operates as an independent interval timer and has no effect on SR. The shifting operation is triggered by reading or writing the Shift Register. Data is shifted first into bit 0 and is then shifted into the next higher order bit of the shift register on the trailing edge of each ϕ_2 clock pulse. After 8 clock pulses, the shift register interrupt flag will be set, and the output clock pulses on CB1 will stop.



Shift in Under Control of External CB1 Clock (011) ! Anhang beachten !

In mode 011 CB1 becomes an input. This allows an external device to load the shift register at its own pace. The shift register counter will interrupt the processor each time 8 bits have been shifted in. However, the shift register counter does not stop the shifting operation; it acts simply as a pulse counter. Reading or writing the Shift Register resets the Interrupt flag and initializes the SR counter to count another 8 pulses.

Note that the data is shifted during the first system clock cycle following the positive-going edge of the CB1 shift pulse. For this reason, data must be held stable during the first full cycle following CB1 going high.

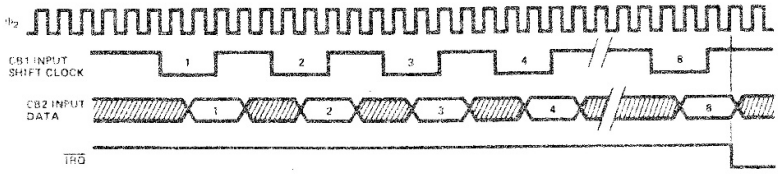
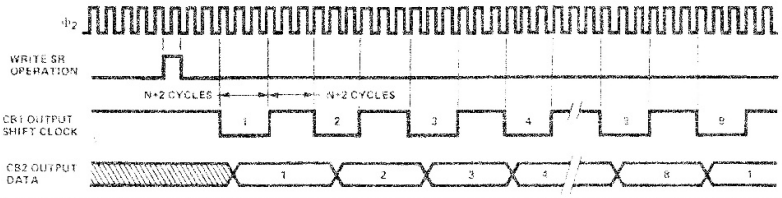


Figure 23. Shift Register Input Modes

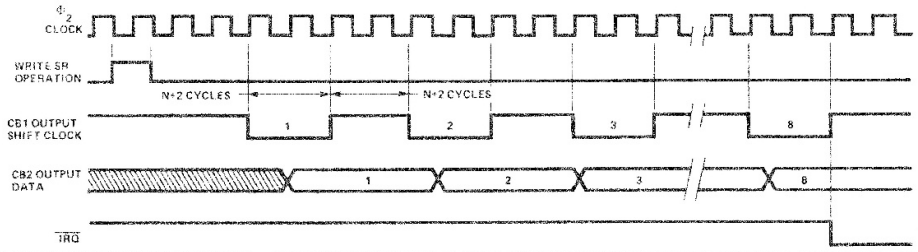
Shift Out Free-Running at T2 Rate (100)

Mode 100 is very similar to mode 101 in which the shifting rate is set by T2. However, in mode 100 the SR Counter does not stop the shifting operation. Since the Shift Register bit 7 (SR7) is recirculated back into bit 0, the 8 bits loaded into the shift register will be clocked onto CB2 repetitively. In this mode the shift register counter is disabled.



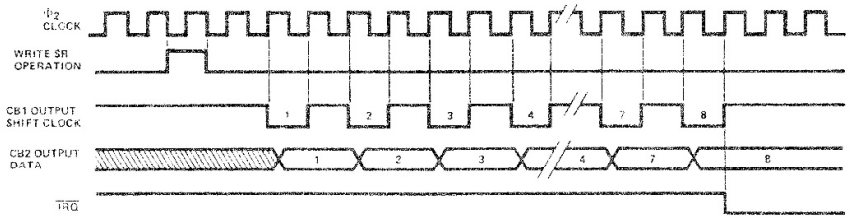
Shift Out Under Control of T2 (101)

In mode 101 the shift rate is controlled by T2 (as in the previous mode). However, with each read or write of the shift register the SR Counter is reset and 8 bits are shifted onto CB2. At the same time, 8 shift pulses are generated on CB1 to control shifting in external devices. After the 8 shift pulses, the shifting is disabled, the SR Interrupt Flag is set and CB2 remains at the last data level.



Shift Out Under Control of ϕ_2 (110)

In mode 110, the shift rate is controlled by the ϕ_2 system clock.



Shift Out Under Control of External CB1 Clock (111)

In mode 111 shifting is controlled by pulses applied to the CB1 pin by an external device. The SR counter sets the SR Interrupt flag each time it counts 8 pulses but it does not disable the shifting function. Each time the microprocessor writes or reads the shift register, the SR Interrupt flag is reset and the SR counter is initialized to begin counting the next 8 shift pulses on pin CB1. After 8 shift pulses, the interrupt flag is set. The microprocessor can then load the shift register with the next byte of data.

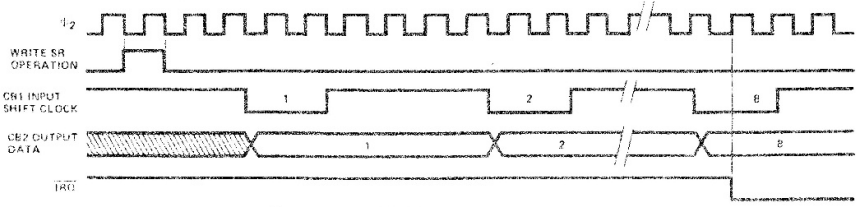


Figure 24. Shift Register Output Modes

Synertek
INCORPORATED
3001 STENDER WAY • SANTA CLARA, CA 95051
TELEPHONE (408) 988-5600 • TWX: 910-338-0135

*TECHNICAL NOTE
#38
SEPT.'78

SY6522-SHIFT REGISTER MODE PROBLEM

There are 7 shift register modes in the SY6522. One of the modes, mode 010, permits shifting data into the SY6522 under control of the Ø2 system clock. It has been found that this mode does not function properly and this note is intended to describe the nature of the problem.

SYMPTOM

When the mode control (Auxiliary Control Register) is set up, the SY6522 device is ready to shift in data. The shift operation is initiated when the processor writes or reads the Shift Register in the SY6522. At this point, the SY6522 would normally generate a series of 8 clock pulses on the CB1 pin which would be used to clock an external shift register, whose output would tie directly into the CB2 pin of the SY6522. Figure 1 shows a typical arrangement.

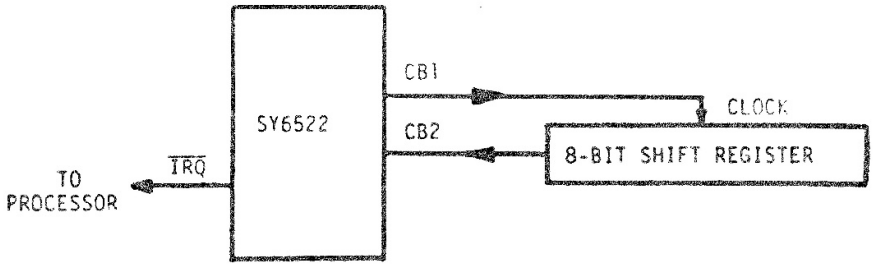


Figure 1 - Simplified Schematic

However, in this mode only, the SY6522 generates 9 clock pulses, instead of 8. As far as the external shift register is concerned, the 9th clock pulse is extraneous. However, the processor interrupt (signifying shift register full) does not occur until the 9th clock pulse has occurred. The actual waveforms are shown in Figure 2.

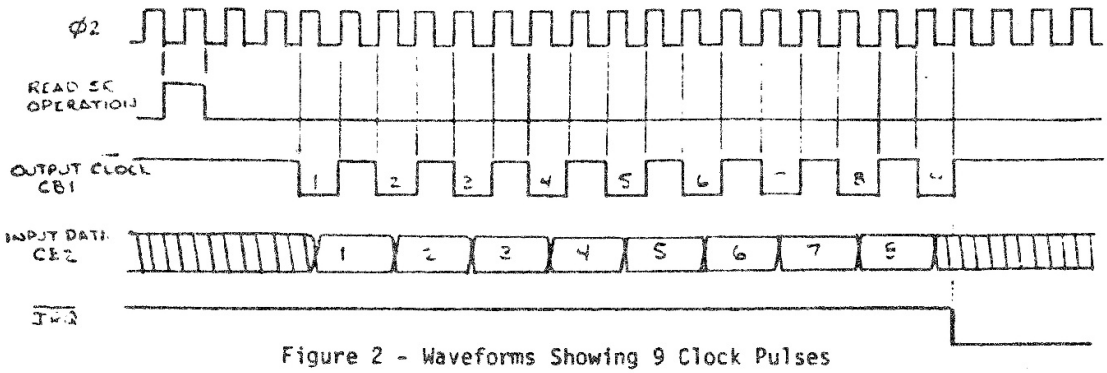


Figure 2 - Waveforms Showing 9 Clock Pulses

SOLUTIONS

There are three alternatives:

1. Shift in under control of T2 (mode 001). In this mode, The T2 timer on the SY6522 is used to generate the clocks.
2. Build some off-chip circuitry to block the 9th clock pulse from affecting the external shift register.

Figure 3 shows a sample circuit. Note that the circuit of Figure 3 must be disabled if it is desired to shift out, as well as to shift in. In this case, the circuit must only be enabled for shift in operation.

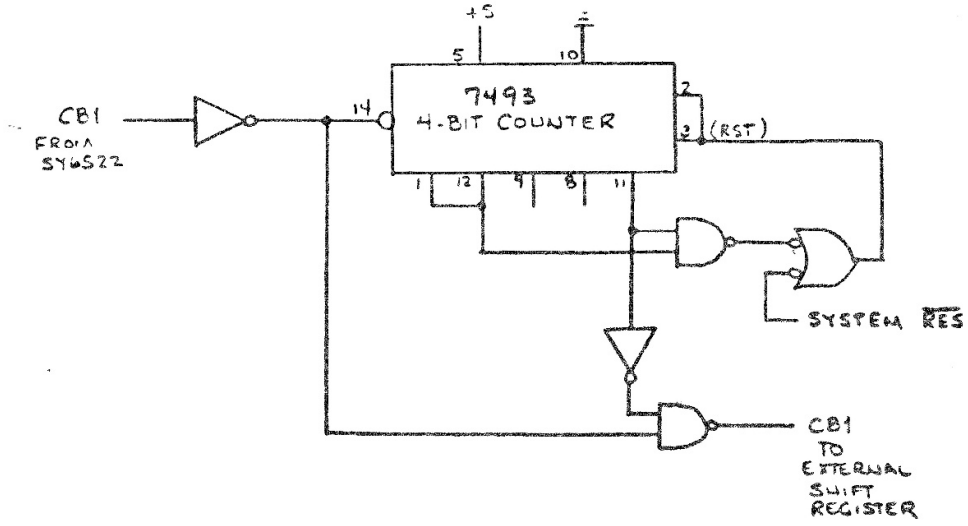
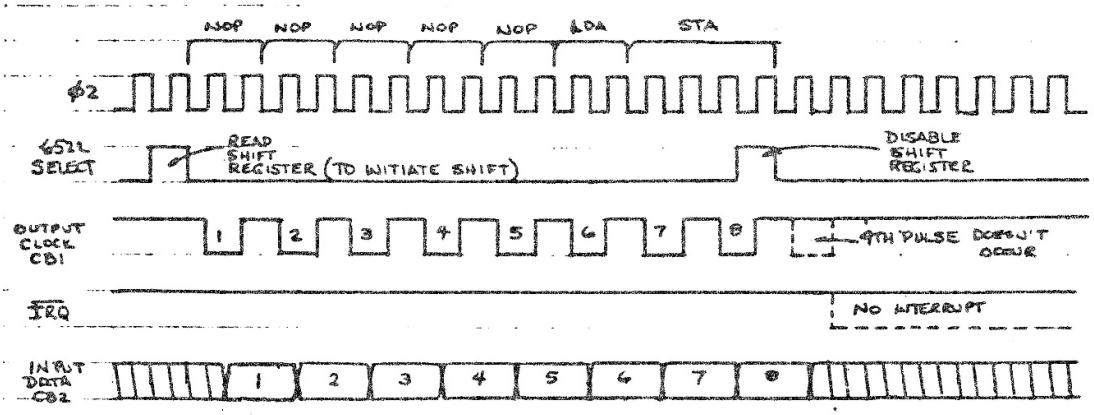


Figure 3 - Circuit to Block 9th Clock Pulse

3. Disable the shift register before the 9th clock pulse is generated. In this case, only 8 pulses will be generated and no interrupt will occur. This requires precise timing in the program. Figure 4 illustrates the program waveforms with a sample listing.




```
0024  AD 0A AB        LDA SR1         ;START SHIFT
0027  EA              NOP             ;DELAY 10 CLK CYCLES
0028  EA              NOP
0029  EA              NOP
002A  EA              NOP
002B  EA              NOP
002C  A9 00           LDA #$00        ;DISABLE SHIFT REG
002E  8D 0B AB        STA ACR1
0031  AD 0A AB        LDA SR1
```

FIGURE 4

Waveforms and Listing to Abort Shift After 8 Clocks

Synertek
INCORPORATED
3001 STENDER WAY • SANTA CLARA, CA 95051
TELEPHONE (408) 988-5600 • TWX: 910-338-0135

TECHNICAL NOTE
#106
APRIL 1980

SY6522 - TIMING PRECAUTIONS FOR EXTERNALLY CLOCKING SHIFT REGISTER

The SY6522 Versatile Interface Adapter has in internal 8-bit shift register which permits serial data communication with other units. One of the shift register modes permits shifting data into the SY6522 clocked by an external clock source. Figure 1 shows the timing waveforms.

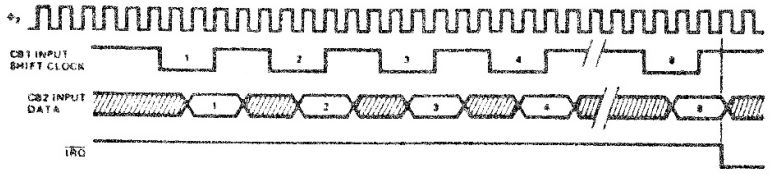


Figure 1 - Timing Waveforms to Shift In with External Clock

A potential problem exists with this scheme if the external clock is applied asynchronously to the Ø2 clock of the SY6522. Specifically, care must be taken to ensure that the positive-going edge of the CB1 clock does not occur during the last 100 nsec of the Ø2 time. Figure 2 illustrates this.

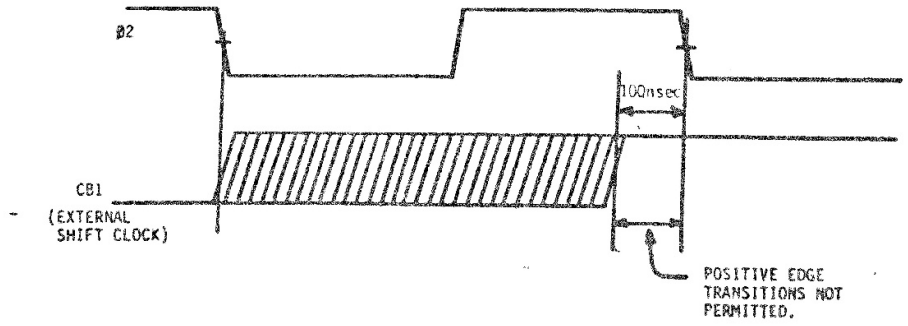


Figure 2 - CB1 Timing Restrictions

A clean solution is to clock the external clock with Ø2, as shown in Figure 3 In this way, both positive and negative transitions occur coincident with the Ø2 positive-going edge and proper operation is ensure.

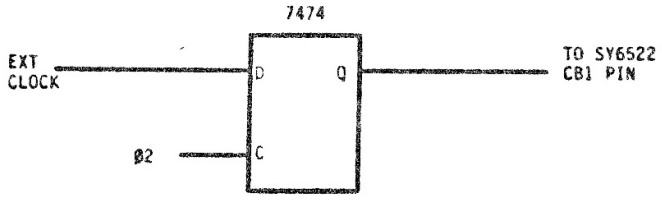
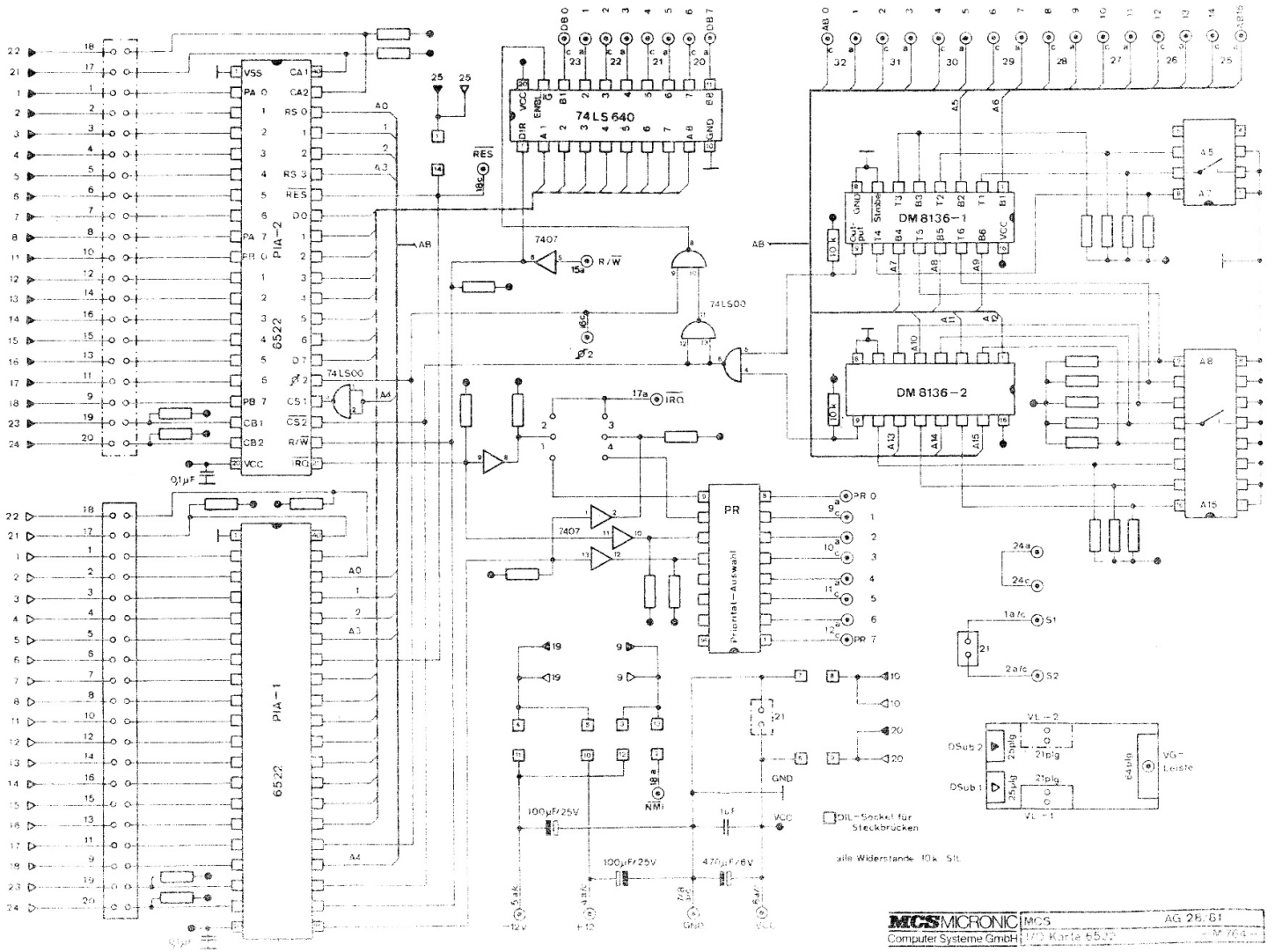


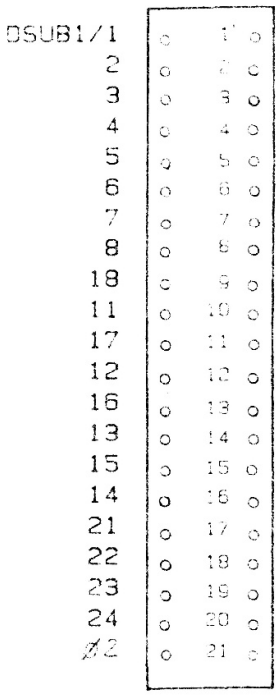
Figure 3 - Clocking Circuit for CB1 Input

CJB:jh
4/4/80


PIA-2
6522
PIA-1
6522
74LS640
DM 8136-1
DM 8136-2
74LS00
7407
PR
Prioritäts-Auswahl
R/W
IRQ
RES
NMI
100µF/25V
1µF
470µF/6V
GND
VCC
DIL-Sockel für Steckbrücken
alle Widerstände 10k 5%
VG-Leiste
MCS MICRONIC
Computer Systeme GmbH
MCS
I/O Karte 6522
AG 26.81

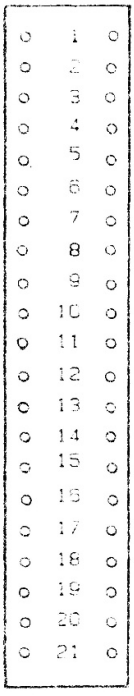
Belegung : Pfostenverbinder I/O Karte M764

VL-1



DSUB1/1			(6522/1)
	1	PA0	
2	2	PA1	
3	3	PA2	
4	4	PA3	
5	5	PA4	
6	6	PA5	
7	7	PA6	
8	8	PA7	
18	9	PB7	
11	10	PB0	
17	11	PB6	
12	12	PB1	
16	13	PB5	
13	14	PB2	
15	15	PB4	
14	16	PB3	
21	17	CA1	
22	18	CA2	
23	19	CB1	
24	20	CB2	
Ø2	21	S2	

VL-2



(6522/2)			1/DSUB2
PA0	1		
PA1	2		2
PA2	3		3
PA3	4		4
PA4	5		5
PA5	6		6
PA6	7		7
PA7	8		8
PB7	9		18
PB0	10		11
PB6	11		17
PB1	12		12
PB5	13		16
PB2	14		13
PB4	15		15
PB3	16		14
CA1	17		21
CA2	18		22
CB1	19		23
CB2	20		24
GND	21		Vcc

Bestückungsseite

MCS MICRONIC
Computer Systeme GmbH

Belegung Sockel SB

(Beschreibung gilt für eingelegte Brücke)

1/14	RES auf Pin 25 DSub	
2/13	NMI auf Pin 9 DSub	alternativ
3/12	-12V auf Pin 9 DSub	
4/11	-12V auf Pin19 DSub	alternativ
5/10	+12V auf Pin19 DSub	
6/9	+5V auf Pin 20 DSub	
7/8	GND auf Pin 10 DSub	

MCS MICRONIC
Computer Systeme GmbH

DSub - Stecker/Buchse 25polig

Spez. Bez. I/O Karte 6522 M764 Stecker 1

PIN	BELEGUNG	BEM.
1	VL-1 Pin 1o	PA0 (6522/1)
2	2o	1
3	3o	2
4	4o	3
5	5o	4
6	6o	5
7	7o	6
8	8o	7
9	-12V oder NMI	
10	GND	
11	VL-1 Pin 10o	PB0 (6522/1)
12	12o	1
13	14o	2
14	16o	3
15	15o	4
16	13o	5
17	11o	6
18	9o	7
19	+12V oder-12V	
20	+5V (Vcc)	
21	CA1	
22	CA2	
23	CB1	
24	CB2	
25	Reset	

Stecker - Sicht auf die Steckseite



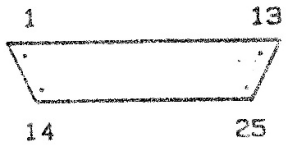
MCS MICRONIC
Computer Systeme GmbH

DSub - Stecker/Buchse 25polig

Spez. Bez. I/O Karte 6522 M764 Stecker 2

PIN	BELEGUNG	BEM.
1	VL-2 Pin1o	PA0 (6522/2)
2	2o	1
3	3o	2
4	4o	3
5	5o	4
6	6o	5
7	7o	6
8	8o	7
9	-12V oder NMI	
10	GND	
11	VL-2 Pin10o	PB0 (6522/2)
12	12o	1
13	14o	2
14	16o	3
15	15o	4
16	13o	5
17	11o	6
18	9o	7
19	+12V oder-12V	
20	+5V (Vcc)	
21	CA1	
22	CA2	
23	CB1	
24	CB2	
25	Reset	

Stecker - Sicht auf die Steckseite



MCS MICRONIC
Computer Systeme GmbH

Anschlusszuordnung I/O-Karte 652

PIN	a	c
1		
2	S2	S2
3		
4	+12V	+12V
5	-12V	-12V
6	+5V (Vcc)	+5V (Vcc)
7	GND	GND
8	GND	GND
9	PRØ	PR1
10	PR2	PR3
11	PR4	PR5
12	PR6	PR7 (R3)
13		
14	$\overline{\text{I/O-SEL}}$	
15	R/$\overline{\text{W}}$	
16	Ø2	
17	$\overline{\text{IRQ-REQ}}$	
18	$\overline{\text{NMI}}$	$\overline{\text{RESET}}$
19		
20	DB7	DB6
21	DB5	DB4
22	DB3	DB2
23	DB1	DBØ
24		
25		
26		
27		
28	AB 9	AB 8
29	AB 7	AB 6
30	AB 5	
31		
32	AB 1	ABØ

VG 64pol [96pol. Geh.]
VG 95324

M 764

Änderung vorbehalten